

Bibliographies

Bibliographies

- [1] **A. Matsuzawa**, "Low-Voltage and Low-Power Circuit Design for Mixed Analog/Digital Systems in Portable Equipment", IEEE Journal Solid-State Circuits, vol. SC-29, April 1994, pp. 470-480.
- [2]: **Renuka P. Jindal** "Compact Noise Models for MOSFETs" IEEE Transactions On Electron Devices, Vol. 53, NO. 9, SEPTEMBER 2006.
- [3]: **Nicolas DUBUC** "Modélisation Electrothermique de transistors MESFET SiC et optimisation d'une architecture Doherty pour l'amplification de puissance à haut rendement" Thèse doctorat d'état, Université de Limoges, 2003
- [4]: **C. A. Mead** "Schottky barrier gate field effect transistor". Proceedings of the IEEE 54 (2):307–308. (Feb. 1966).
- [5]: **W. Aliouat** " Etude des propriétés des transistors à effet de champs à grille Schottky à l'Arséniure de Gallium" Thèse de Magistère, université de Constantine, 2006
- [6]: **J.E. Lilienfeld**, "Amplifier for electric currents", US Patent No. 1, 877,140, application filed December 8, 1928.
- [7]: **John Bardeen et al**, three electrode circuit element, U.S. Patent No. 2, 524,035, Issued October 3, 1950. Filed June 17, 1948.
- [8]: **Jack Kilby**, Miniaturized Electronic Circuits, U.S. Patent No. 3, 138,743, June 23, 1964.
- [9]: **W. SHOCKLEY** "A unipolar field effect transistor ". Proc. Of the IRE, vol.40, pp.1365-1376, 1952.
- [10]: **Souad BELHOUR** "Simulation du transistor à effet de champ a grille Schottky à l'arséniure de gallium MESFET GaAs " Mémoire de magister, Université de Constantine, 2007.
- [11]: **Hilde Muller et Jan Nicolas Myklebust** "Les composants actifs hyperfréquences" www.etud.insa-toulouse.fr/~sroy/cce/Transistors_HF.doc
- [12]: **Olivier VANBESIEN** "Modèles linéaires et non linéaires des composants actifs pour la CAO. Hyperfréquences", Cours DESS, septembre 2003.
- [13]: **Henry MATHIEU** " physique des semi-conducteurs et des composants électroniques" Edition MASSON (2004).
- [14]: **Rachid KHLIL** "hétérostructures AlGaAs/GaAs par des mesures courant–tension et Thèse de doctorat, Université de Reims Champagne-Ardenne, 2005.
- [15]: **Michel HUBIN**, <http://pagesperso-orange.fr/michel.hubin/index.htm>

Bibliographies

[16]: **Mohamed Amir ABDI**. "Modélisation de l'inverse de la pente sous seuil des transistor FETs nanométriques" Mémoire de magister, Université de Batna, 2006

[17]: **JC.MICHEL** " COURS : Les transistors à effet de champ" <http://JC.MICHEL.free.fr>

[18]: **FAYCAL DJEFFAL** "Modélisation et simulation prédictive du transistor MOSFET fortement submicronique, Application à la conception des dispositifs Intégrés" Thèse de doctorat, Université de Batna, 2006.

[19]: vlsi.cse.yzu.edu.tw/education/vlsi.../chapter3.pdf

[20]: **Etienne SICARD** Microwind & Dsch User's Manual Lite Version 3.1 August 2006

[21]: **François BERRY** Travaux Pratiques Initiation au Layout en technologie CMOS

[22]: <http://www.microwind.net/downloads.php>

[23] **Emeric de Foucauld**, "Conception et réalisation d'oscillateurs accordables en fréquence en technologie SiGe pour les radio-téléphones", Thèse de Doctorat de l'Université de Limoges, N° ordre : 2-2000.

[24] **Julien MIRA**, "Conception d'oscillateurs contrôlés en tension dans la gamme 2 GHz - 10 GHz, intégrés sur silicium et analyse des mécanismes à l'origine du bruit de phase", Thèse de Doctorat de l'Université Bordeaux 1, N° d'ordre : 2897.

[25] **Oussama EL ISSATI** , "Oscillateurs Asynchrones en Anneau : de la Théorie à la Pratique , Thèse de Doctorat de l'Université Bordeaux.

I-1. Introduction

Les transistors constituent sans doute la plus large part de l'activité microélectronique moderne. Dans ce secteur, un très large effort s'est concentré sur les composants unipolaires, ce sont les composants qui ne reposent que sur le transport d'un seul type de porteurs. Ces composants incluent les transistors à effet de champ sous leurs différentes formes, JFET, MOSFET, MESFET.

L'objectif est de présenter les différents transistors à effet de champ utilisés dans des conceptions hyperfréquences. Tout d'abord, nous proposerons une description géométrique et physique des transistors les plus utilisés actuellement. Nous présenterons donc successivement les JFET, MOSFET, MESFET et leurs dérivés les HEMT.

I-2. Historique des transistors à effet de champ

I-2-1. Historique de JFET [2]

Le concept d'un semi-conducteurs à triode comme structure similaire au transistor à effet de champ à jonction (**JFET**) a été proposé, la première fois, par **Jules Lilienfeld** dans trois révélations de brevet au alentour de **1925**, suivis d'un brevet semblable par **Oskar Heil** en **1935**. Cependant, un dispositif fonctionnant réellement est demeuré évasif pendant une période d'encre **25 années** principalement dues à la difficulté de développer une surface semi-conductrice propre. Après ces années, les efforts cumulatifs d'un certain nombre de chercheurs aux laboratoires de Bell comprenant Atalla, Bardeen, Brattain, brun, Derick, Frosch, Gibney, Hoerni, Kahng, Ligenza, Shockley, Spitzer, et Warner ont lentement mené à la réalisation de ce dispositif.

I-2-2. Historique de MESFET [3]

Le **MESFET** (Metal Semi-conducteur **F**ield **E**ffect **T**ransistor) fut le premier composant à être fabriqué à partir d'un composé III-V. En 1966 **Carver Mead** [4] proposa en premier lieu de remplacer le Silicium des premiers FET par un semi-conducteur III-V tel que l'Arséniure de Gallium (GaAs), puis réalisé par **Hoop** [5]. Cette évolution au niveau matériau a permis l'utilisation des **MESFET** aux fréquences micro-ondes, et depuis cette date de nombreux travaux ont été effectués pour réaliser des transistors de plus en plus performants à base de matériau à grand gap. Les premiers résultats obtenus avec un **MESFET** au carbure de silicium (4H-SiC) datent de 1994.

I-2-3. Historique de MOSFET

Le principe de fonctionnement du transistor (MOSFET) métal oxyde semi-conducteurs à effet de champ a été décrit pour la première fois par Lilienfield en 1930 [6]. En décembre 1947, John Bardeen et Walter H. Brattain réalisaient le premier transistor en germanium [7]. Avec William B. Shockley le transistor à jonction et la théorie associée sont développées aux Bell Laboratoires en 1951. En 1958, Jack Kilby invente le circuit intégré en fabriquant cinq composants sur le même substrat [8]. C'est en 1960 que Kahng et Attala ont présenté le premier transistor MOS sur Silicium qui reste aujourd'hui le semi-conducteur généralement le plus utilisé, vu la qualité inégalée de l'interface créée par le silicium et l'oxyde de silicium (SiO₂), qui sert d'isolant. Peu après, l'élaboration de la technologie CMOS assura le futur commercial et technologique du *MOSFET* en électronique intégrée (mémoires , microprocesseurs , circuits logiques) grâce à une géométrie simple et une consommation pouvant être très faible.

I-3. Les transistors à effet de champ

I-3-1. Généralités

Le transistor à effet de champ dénommé FET ou TEC repose sur le fonctionnement d'un dispositif semi-conducteur unipolaire, c'est-à-dire. Qu'un seul type de porteur intervient. Ainsi, pour une utilisation aux hautes fréquences, il est préférable que le type de porteur responsable de l'effet transistor soit celui présentant les meilleures propriétés de transport : mobilité, vitesse et coefficient de diffusion. Les électrons possèdent des propriétés plus intéressantes que les trous les FET sont essentiellement élaborés sur du matériau de type N . Leur principe peut être comparé à une résistance semi-conductrice dont la section est modulée par une jonction polarisée en inverse, principe décrit pour la première fois en 1952 par W .Shockley [9]. Sur ce principe, différentes structures de transistors à effet de champ correspondant à différents contacts de grille ont été élaborées : [10]

- grille à jonction PN pour le transistor JFET (Junction Field Effect Transistor),
- grille métallique isolée pour le transistor MOSFET (Metal Oxyde Semi-conductor Field Effect Transistor).
- grille métallique à barrière Schottky pour le transistor MESFET (MEtal Semi-conductor Field Effect Transistor).

De nouveaux transistors pouvant contrôlés des puissances supérieures à celles des FET homogènes sont en train d’émger [11]. Ils ne sont pas faits en Silicium ou en Arséniure de Gallium car ces matériaux sont utilisés près de leurs limites physiques ultimes.

Aujourd’hui, les semi-conducteurs à large bande interdite sont les candidats idéaux pour réaliser un nouveau saut technologique. Nous pouvons citer les FET à Hétéro structure. En effet, les propriétés physiques (champ électrique de claquage, vitesse de saturation, conductivité thermique) des matériaux utilisés (ex:Ga1-xAlxAs) en font de ces composants un bon choix pour un grand nombre d’applications de forte puissance et à haute température. Dans ce sens, les technologues ont imaginé des procédés de fabrication de plusieurs types de composants à effet de champs qu'on regroupe suivant la structure dans l'organigramme suivant :(Figure I-1)

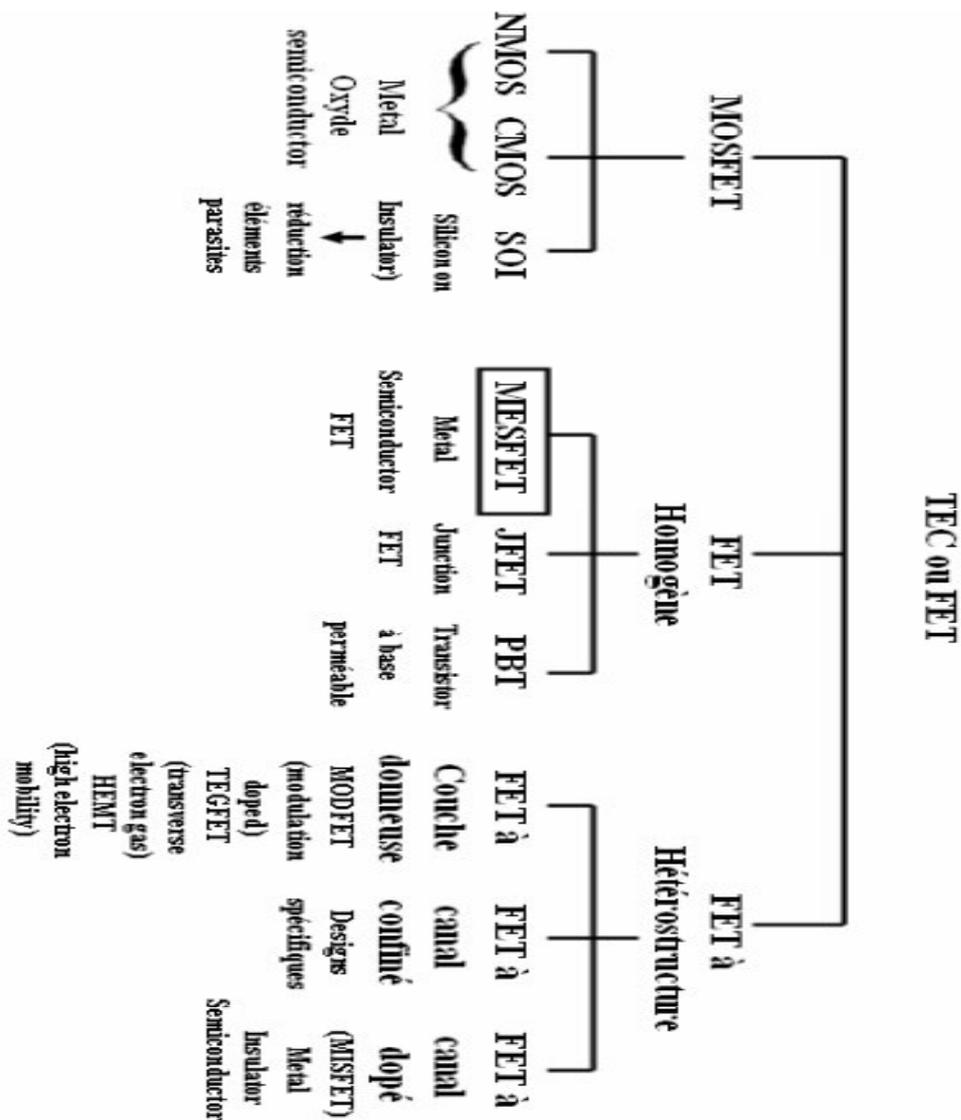


Figure I-1.La famille des composants à effet de champ. [12]

I-3-2. Le transistor a effet de champ a jonction (JFET):

I-3-2-1. Description [13]

Le transistor JFET (**J**unction **F**ield **E**ffet **T**ransistor) est un composant de structure plane. Il est constitué par une mince couche de matériau semi-conducteur de type N (pour un JFET canal N), sur un substrat de type P. Une diffusion de type P+ à la surface de la couche réalise l'électrode de **la grille** et constituant ainsi une jonction P+N verticale (voir fig I-2). Deux diffusions N+, aux extrémités du canal, permettent d'assurer les contacts ohmiques de **source** et de **drain**.

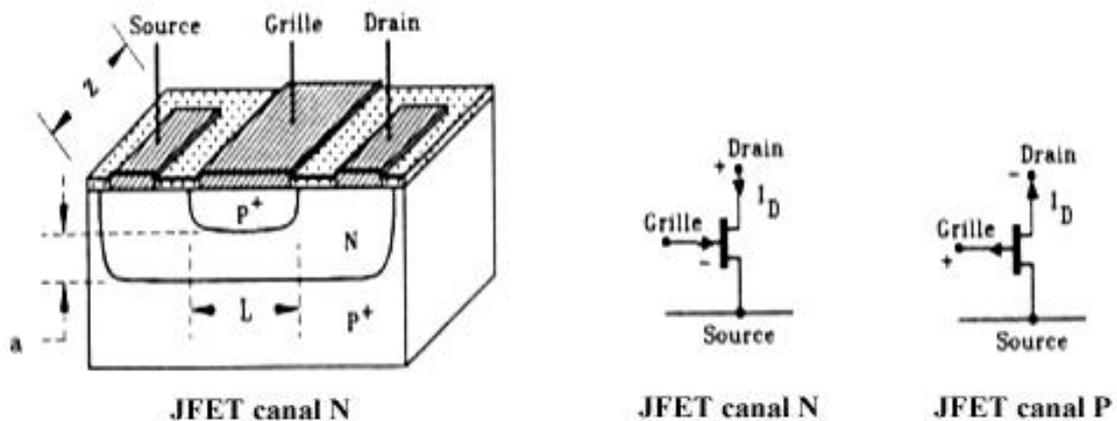


Figure. I.2. Transistor JFET à canal N et b et symboles des deux types de JFET.

I-3-2-2. Principe de fonctionnement du JFET [14]

Dans le transistor à effet de champ à jonction (JFET), la variation de la tension de polarisation permet la modulation de la largeur de la zone de charge d'espace de la jonction latérale "P+N". Autrement dit, la variation de la polarisation module la variation de la section conductrice du canal. Sans polarisation, il peut y avoir une zone de désertion sur une certaine profondeur dans le canal. La désertion est liée à différents paramètres tels que le matériau de la grille et les propriétés d'interface.

Pour une tension drain- source (V_d) nulle, la variation de la tension grille (V_g) module la profondeur de la zone de désertion, et donc la partie conductrice du canal. Pour une polarisation $V_g < 0$ (et $V_d \approx 0$ volt), la zone de désertion se développe plus profondément dans le canal, provoquant le rétrécissement de celui-ci et donc une augmentation de sa résistance. Pour une tension $V_g = V_p$ (tension de pincement), la zone de charge d'espace occupe la totalité du canal. La résistance entre drain et source devient très élevée.

Pour une tension V_d non nulle et une tension V_g négative, on a un canal conducteur. Un courant I_d circule entre le drain et la source. Si V_d devient de plus en plus positive, le champ électrique à travers le canal augmente ainsi que la vitesse des électrons. La distribution de tension à travers le canal aura pour conséquence une différence de potentiel entre la grille et le canal sur la longueur de celui-ci. Ceci explique la différence observée pour la profondeur de la zone de désertion le long du canal, qui augmente vers le drain (voir Fig I-2).

Si la tension V_d atteint la valeur V_{dsat} (tension de saturation), le régime de pincement apparaît. Le courant I_d atteint sa valeur de saturation. L'augmentation de la tension V_d au-delà de V_{dsat} n'affecte pas l'évolution du courant I_d qui garde une valeur relativement constante.

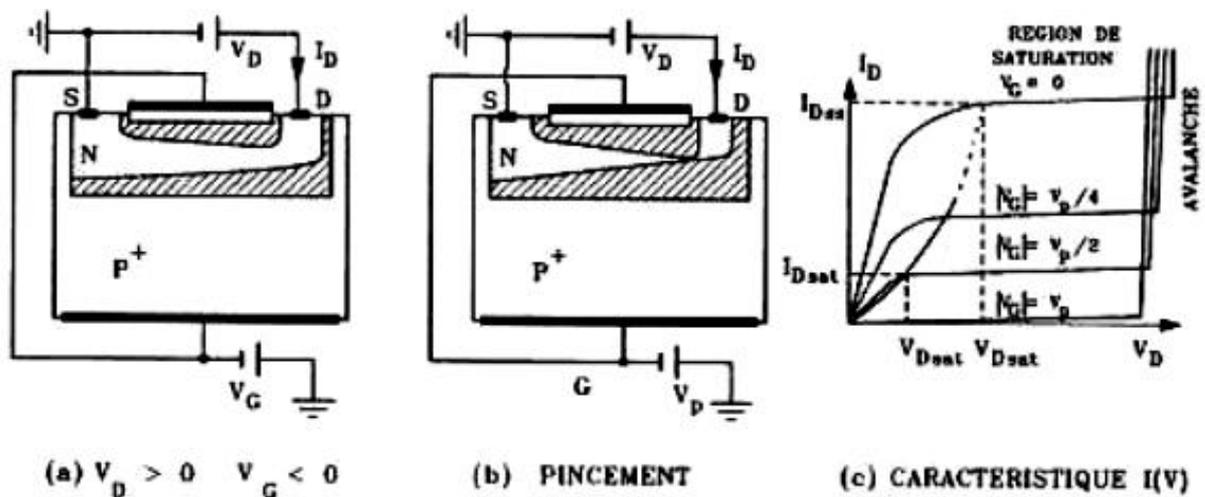


Figure .I.3.Comportement du JFET en fonction de V_D pour $V_G < 0$.

I-3-2-3. Contraintes et domaines d'utilisation [15]

La forte impédance d'entrée des *JFET* (plusieurs dizaines, voire centaines de mégohms) associée à un faible bruit propre, rend ces transistors particulièrement bien adaptés à l'amplification des faibles signaux sous forte impédance.

En commutation, ils présentent par rapport aux transistors bipolaires certains avantages, comme un gain en puissance plus élevé et une impédance d'entrée aux faibles fréquences beaucoup plus forte, ce qui permet de réaliser de grandes constantes de temps avec des capacités assez faibles (réalisation de monostables ou d'astables).

I-3-3. Transistor à effet de champ à contact SCHOTTKY (MESFET)

I-3-3-1. Description [11]

Dans l'état de l'art aujourd'hui, la structure du Transistor à effet de champ à contact Schottky repose sur une couche active (**canal**) directement implantée dans le substrat semi-isolant. Ensuite, la **grille** en métal réfractaire est déposée pour matérialiser le **contact schottky**. Puis les zones N^+ sont implantées en se servant du métal comme d'un masque pour obtenir deux zones d'accès auto alignées sur la grille.

La figure (I-4) présente une coupe schématique d'un *MESFET*. La structure présentée met en évidence les différentes couches utilisées pour sa réalisation. La couche active est généralement une couche du type N qui repose sur un substrat semi-isolant. Les contacts de **source** et de **drain** sont des contacts ohmiques contrairement au contact Schottky de grille.

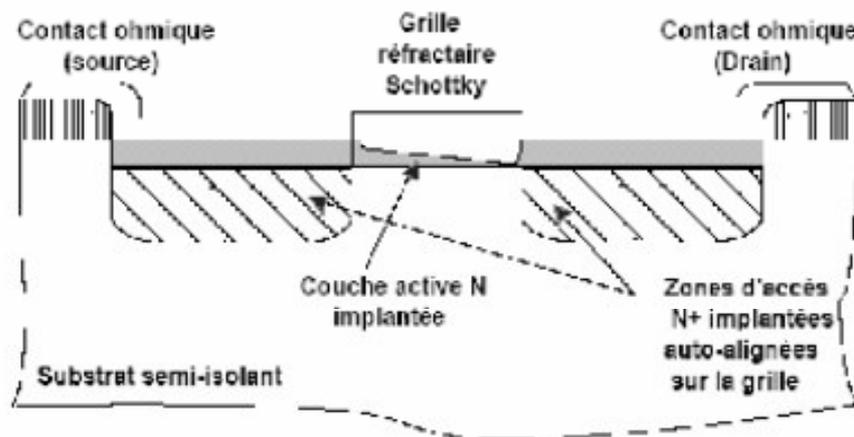


Figure .I.4. Vue en coupe du MESFET GaAs implanté auto-aligné.

I-3-3-2. Principe de fonctionnement [3]

La base du fonctionnement d'un *MESFET* est la possibilité de moduler l'épaisseur du canal sous la grille (figure I-5). Le contact de grille est de type Schottky. Une couche dépeuplée d'électrons libres, appelée zone de charge d'espace (ZCE), se crée sous la grille. Aucun courant ne peut traverser cette couche. La région où le courant peut circuler est donc réduite à la fraction de la couche active non dépeuplée. En régime de fonctionnement normal le drain est polarisé positivement par rapport à la source, tandis que la grille est polarisée négativement, toujours par rapport à la source.

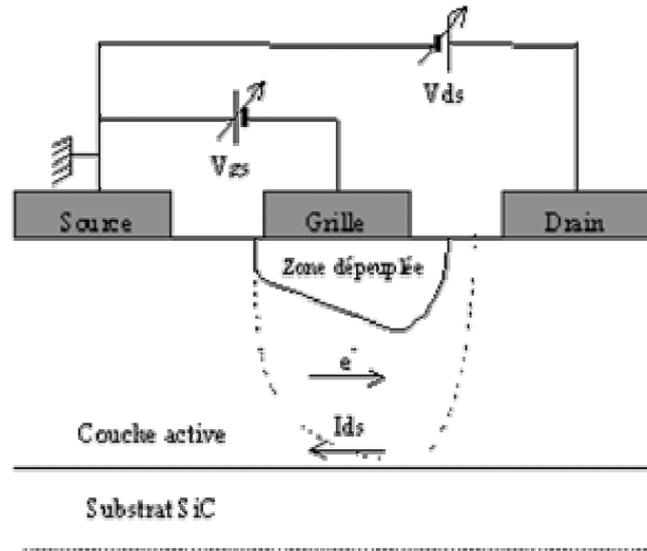


Figure. I.5 .Vue en coupe et polarisation d'un MESFET.

· A tension de drain fixée, la polarisation négative de la grille a pour effet d'augmenter la pénétration de la zone de charge d'espace dans la couche active, diminuant ainsi le passage du courant. Lorsque la tension de grille est suffisamment négative, la ZCE vient complètement obstruer le canal (en pointillé sur la figure I-5), ne laissant plus passer le courant. Le transistor est alors dit « pincé » et la tension appliquée sur la grille est alors appelée tension de pincement (V_p).

· **A tension de grille fixée**, l'augmentation de la tension positive de drain crée un champ électrique dans le canal. Ce champ entraîne les électrons de la source vers la grille, établissant ainsi un courant I_{ds} (drain-source).

· **Avec l'accroissement de la tension de drain**, la section de la zone dépeuplée (zone de charge d'espace) commence à se déformer en devenant beaucoup plus importante côté drain que côté source. Ce resserrement du canal provoque un ralentissement de la croissance du courant de drain. Arrivé à un certain stade, l'augmentation de la tension V_{ds} n'a quasiment plus aucune influence sur le courant. On nomme le courant de saturation (I_{dsat}), lorsque le courant de drain (I_{ds}) du transistor commence à rentrer dans la zone de saturation pour une tension de polarisation de grille V_{gs} nulle.

I-3-3-3. Contraintes et domaines d'utilisation [3]

Le **MESFET** GaAs est longtemps resté le composant à effet de champ prépondérant pour l'amplification de puissance micro-onde. En effet, les propriétés de transport électronique de l'Arséniure de Gallium permettent d'obtenir des densités de porteurs dont la vitesse moyenne dans le canal est bien supérieure à celle du Silicium. Avantage supplémentaire, le GaAs permet le dépôt de contacts ohmiques de bonne qualité par rapport à

la plupart des autres composés III-V. Pour fournir une puissance élevée, le FET doit pouvoir délivrer un courant drain-source I_{ds} le plus élevé possible tout en supportant des tensions V_{ds} de grande amplitude. Cependant, l'obtention d'un fort courant I_{ds} nécessite l'emploi de dopages élevés qui entraînent une dégradation de la tension de claquage. D'autre part, si l'on veut privilégier un fonctionnement à de très hautes fréquences, il convient de réduire la longueur de grille. La nécessité de garder un facteur d'aspect (le rapport entre la longueur de grille et l'épaisseur de la couche active) raisonnable contraint alors à diminuer l'épaisseur de cette couche active, ce qui se traduit par une diminution de courant drain-source.

Pour des applications de forte puissance, des *MESFET* utilisant des matériaux dits à « grand gap » présentent des caractéristiques intéressantes. Ainsi, l'utilisation du Carbure de Silicium SiC permet d'obtenir des performances élevées grâce à un champ de claquage huit fois plus élevée et une conductivité thermique trois fois plus élevée que le Silicium.

Ces propriétés permettent d'utiliser les composants avec des tensions très élevées, de plusieurs dizaines de volts et à haute température. Compte tenu de ces performances, le domaine d'utilisation privilégié de ces composants est l'amplification de très forte puissance (Objectif > 100W) pour l'émission en station de base par exemple.

I-3-4. Transistor a effet de champ à grille isolée (MOSFET)

I-3-4-1. Description [16]

Le **MOSFET**, acronyme anglais de **M**étal **O**xide **S**emi-conducteur **F**ield **E**ffect **T**ransistor, en français Transistor à Effet de Champ (à grille) Métal-Oxyde, Comme tous les transistors ou même les tubes à vide, le MOSFET module le courant qui le traverse à l'aide d'un signal appliqué à son électrode d'entrée ou grille. La structure du transistor MOSFET comprend un isolant (silice SiO₂), deux îlots, de type opposé à celui du substrat, la source et le drain, délimitent la région active du dispositif qui se situe précisément sous l'électrode de grille. L'intensité du courant circulant entre la source et le drain est commandée par la tension entre la grille et le substrat. Très souvent les électrodes de source et de substrat sont électriquement reliées.

I-3-4-2. Principe de fonctionnement du MOSFET et Les deux types fondamentaux

La figure ci-dessus (figure I-6) illustre parfaitement le principe d'un transistor MOS à canal N. La source et le drain sont de type N⁺ (hachures obliques) et la grille est isolée du semi-conducteur par une couche d'oxyde. Lorsque la grille est polarisée positivement elle crée

à l'interface diélectrique semi-conducteur une couche dite **d'inversion** (hachures verticales) comportant un grand nombre d'électrons (porteurs minoritaires de la zone P), dès que V_g est supérieure à une valeur de seuil V_T cette couche est suffisamment importante pour créer un canal conducteur entre les deux zones N^+ . Mais ceci suppose que le potentiel au drain soit très inférieur à ce seuil. La relation liant I_d à V_d est linéaire et le canal se comporte comme une simple résistance.

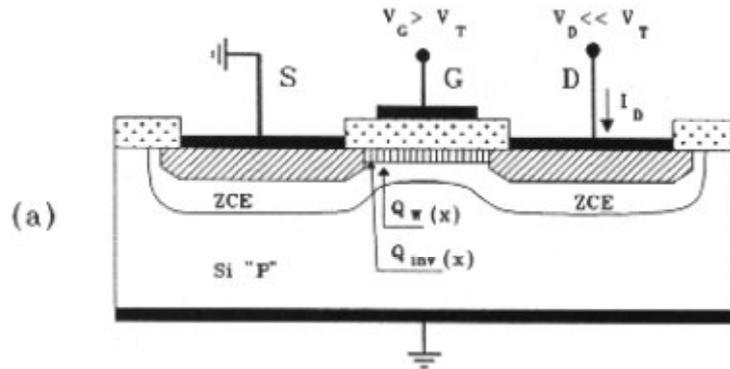


Figure. I.6.Principe d'un MOSFET à canal N : les zones hachurées sont de type N.

Si V_d croît, alors on obtient un effet de pincement analogue à celui constaté dans le JFET, illustré (figure I-7), car la capacité du fait du potentiel positif appliqué sur le drain est moins polarisée de ce côté. Ce qui en d'autres termes revient à dire que la couche d'inversion présente une épaisseur non uniforme et décroissante de la source vers le drain. Pour une valeur de $V_d = V_{dsat}$ on atteint la limite du pincement.

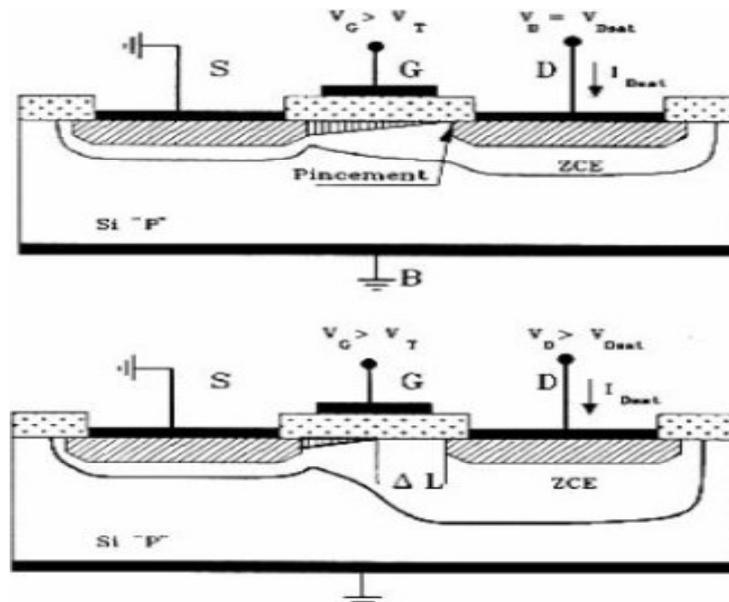


Figure. I.7.Pincement du canal en fonction de V_d .

Les deux types fondamentaux du MOSFET sont les MOSFET à appauvrissement D-MOSFET (Figure I.8), et les MOSFET à enrichissement E-MOSFET (figure I.9). Dans chaque type de MOSFET, on peut distinguer le MOSFET canal N (le courant provient du déplacement d'électrons) et le MOSFET canal P (le courant provient du déplacement des trous). Les transistors MOS à enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF) , ils deviennent passants à partir d'une certaine tension de grille V_{TH} . Plus $|V_{GS}| > |V_{TH}|$, plus le E-MOS devient passant. Les transistors MOS à appauvrissement sont passants sans tension de commande sur la grille (NORMALLY ON), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au delà d'une tension de blocage V_{GSoff} .

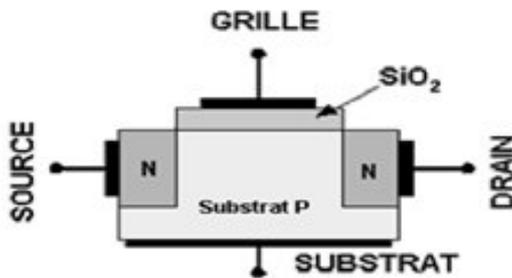


Figure. I.9. Structure du MOS

à enrichissement canal N [13].

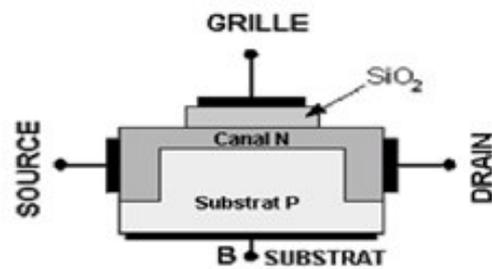


Figure. I.8. Structure du MOS

à appauvrissement canal N [13].

Les deux figures (Figure. I.10 et Figure. I.11), ils représentent les caractéristiques de le courant entre la source et le drain est un courant d'électrons et le courant entre la source et le drain est un courant de trous à mode de appauvrissement.

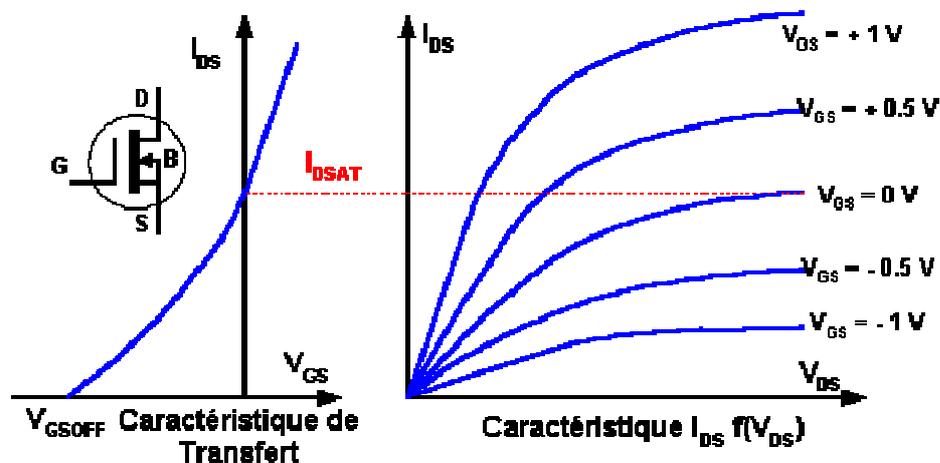


Figure. I.10. La caractéristique de courant I_d à canal N.

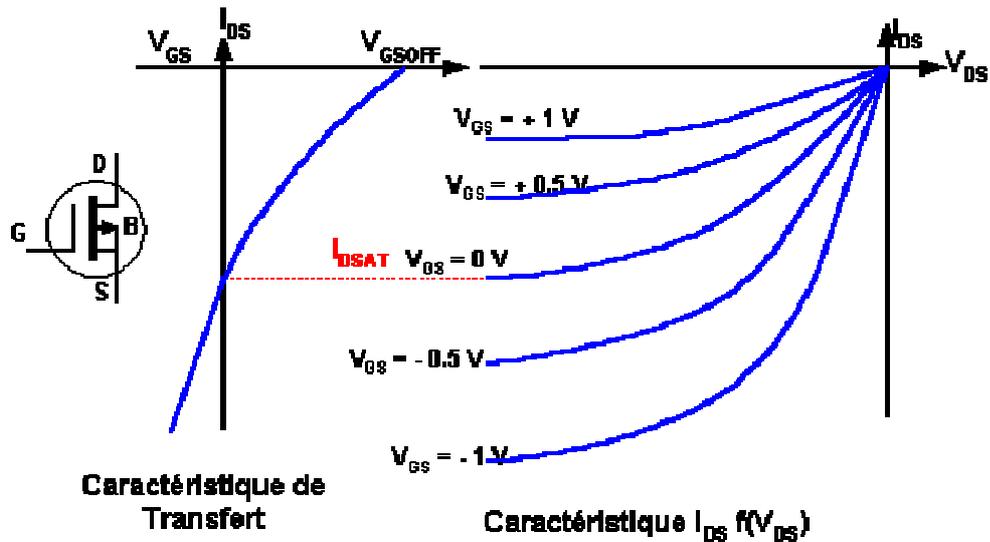


Figure .I.11. La caractéristique de courant I_D à canal P.

-Régime d'appauvrissement :

Canal N : $V_{GS} < 0$, Canal P : $V_{GS} > 0$

Peut travailler en régime d'enrichissement.

V_{GS} commande I_{DS} (courant commandé par une tension).

Blocage ($I_{DS} = 0$) pour $V_{GS} = V_{GSoff}$. I_{DSS} est obtenu pour $V_{GS} = 0$.

Caractéristiques statiques assez semblables à celles du JFET sauf que l'on peut avoir $I_{DS} > I_{DSS}$.

- Relations usuelles : on assimile la caractéristique de transfert ($I_{DS} = f(V_{GS})$) à une parabole transconductance :

$$I_{DS} = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GSoff}} \right)^2 \quad (I.1)$$

$$g_m = g_{m0} \left(1 - \frac{V_{GS}}{V_{GSoff}} \right) \text{ avec } g_{m0} = \frac{2I_{DSS}}{|V_{GSoff}|} \quad (I.2)$$

Pour caractériser le MOSFET, le constructeur donne deux grandeurs : I_{DSS} et V_{GSoff} .

Les deux figures (Figure. I.12.et Figure. I.13.), ils représenter les caractéristiques de le courant entre la source et le drain est un courant d'électrons et le courant entre la source et le drain est un courant de trous à mode de enrichissement.

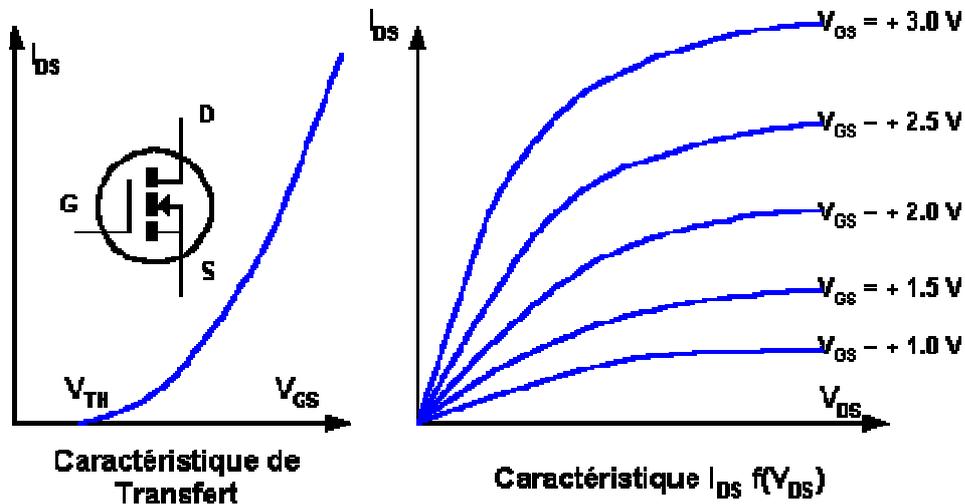


Figure .I.12. La caractéristique de courant Id à canal N.

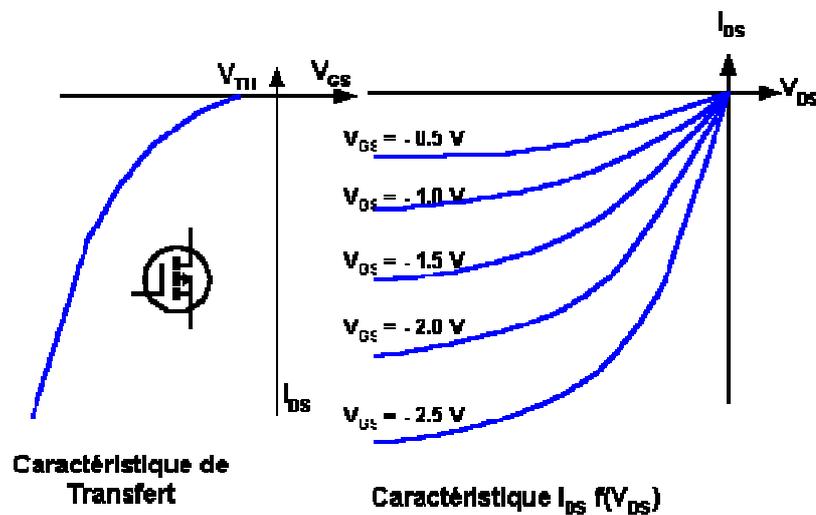


Figure .I.13. La caractéristique de courant Id à canal P.

-Régime d'enrichissement :

Canal N : $V_{GS} > 0$, Canal P : $V_{GS} < 0$

- V_{GS} commande I_{DS} (courant commandé par une tension).

- La valeur de V_{GS} pour laquelle le courant I_{DS} apparaît est la **tension de seuil** V_{TH} .
- Relations usuelles :

$$I_{DS} = K (V_{GS} - V_{TH})^2 \quad (I.3)$$

Pour caractériser le MOSFET, le constructeur donne deux grandeurs : K et V_{TH} .

I-3-4-3. Contraintes et domaines d'utilisation

La grille étant isolée, la résistance d'entrée du transistor MOS est très élevée (de $10^{12}\Omega$ à $10^{15}\Omega$), et la capacité grille-source étant très faible, ces transistors sont extrêmement sensibles aux charges électrostatiques qui peuvent provoquer le claquage de la couche de silice. [17] Il faut donc intégrer des dispositifs de protection contre les surtensions (le plus souvent, deux diodes tête-bêche placées entre grille et source). En raison de leurs très petites dimensions, de leur faible consommation et de leur facilité d'intégration, le domaine privilégié d'emploi des transistors MOS est celui des circuits intégrés (mémoires, microprocesseurs, circuits logiques).

Certes, ces dispositifs sont encore moins rapides [18], Malgré que des progrès spectaculaires ont été effectués en vue de la miniaturisation des transistors MOS et plus particulièrement la diminution de la longueur du canal, ce qui a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits mais cette réduction de dimensions à engendrer des phénomènes parasites (modification de la tension de seuil, augmentation du phénomène des porteurs chauds, ...) qui détériorent les caractéristiques courant-tension. Toutefois, les technologues ont imaginé des procédés de fabrication particuliers en vue de conserver ces caractéristiques (Technologie SOI, NMOS, CMOS, VMOS, ...), par exemple les transistors de type VMOS (à grille particulière en forme de V) permettent des applications de puissance (plusieurs dizaines de watts) jusqu'à des fréquences très élevées (plusieurs milliers de mégahertz).

I-4. Conclusion

Dans ce chapitre après avoir rappelé la structure physique et le principe de fonctionnement des différents transistors à effet de champ (JFET, MESFET et MOSFET), et à travers une analyse de leurs performances pour des applications hautes fréquences et hautes puissance.

II-1. Introduction

La technologie CMOS est une technologie planaire destinée au développement des systèmes à très haute échelle d'intégration (VLSI). Grâce aux propriétés des transistors MOS complémentaires (notées CMOS pour Complémentaire Métal Oxyde semi-conducteur), cette technologie permet de réaliser des circuits à faible coût et à basse consommation. Cet avantage lui a permis d'être reconnue comme la technologie de pointe la plus avancée et la plus maîtrisée dans le domaine de la micro-électronique.

II-2. Technologie CMOS

II-2-1. Technologie de semi-conducteur silicium

-Matériau de transistor MOS

- Il s'agit d'un semi-conducteur à l'état pur avec une résistance quelque part entre celle d'un conducteur et isolant.
- La conductivité peut varier sur plusieurs ordres de grandeur, en introduisant des atomes d'impuretés dans le réseau cristallin de silicium.
- dopants peuvent soit fournir des électrons ou des trous libres.
- accepteurs sont des éléments d'impuretés (dopants) qui acceptent une partie des électrons déjà dans le silicium, laissant des postes vacants ou des trous.
- Les bailleurs de fonds sont des éléments d'impureté qui fournissent des électrons.
- silicium qui contient la majorité des bailleurs de fonds est connu comme type n.
- de silicium qui contient une majorité d'accepteurs est connu comme type p.
- Une jonction est la région où les changements de silicium de type n à un matériau de type p, où n et du type de matériaux de type p sont réunis.
- En organisant jonction dans certaines structures physiques et les combiner avec d'autres structures physiques, différents dispositifs semi-conducteurs peuvent être construits.

II-2-1-1. Traitement wafer

-Les tranches sont coupées à partir de lingots de silicium monocristallin qui a été tiré à partir d'une masse fondue du creuset de fusion du silicium poly cristallin pure. (Voir la figure II.1)

- le diamètre des tranches: 75 mm à 300 mm.
- épaisseur de la tranche: 0,25 mm à 1,0 mm.
- orientation cristalline déterminée par un germe cristallin.
- Le taux de croissance du lingot: 30 à 180 mm / heure.

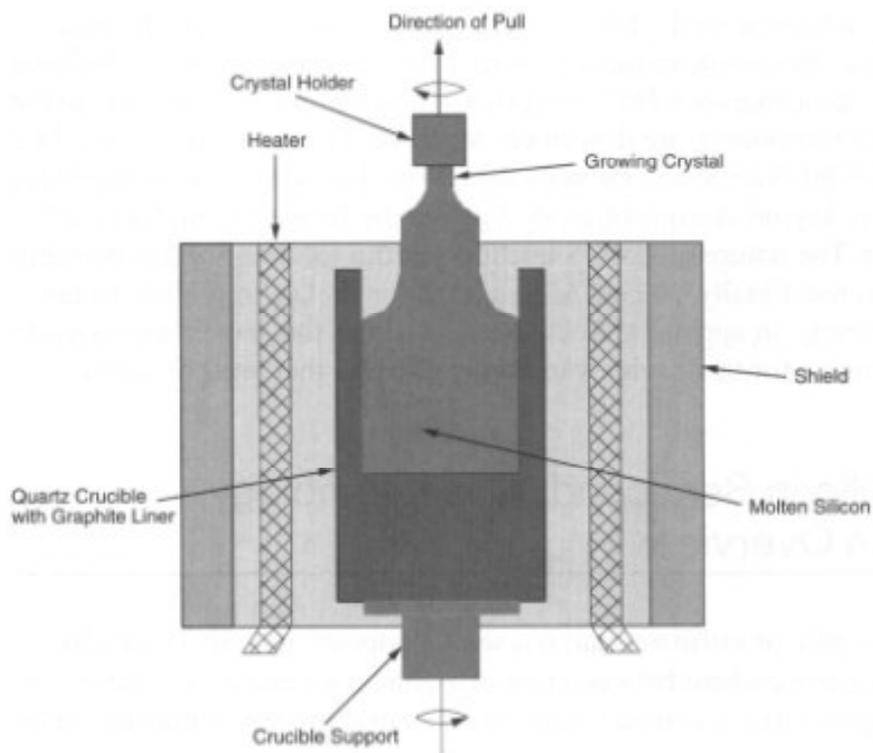


Figure. II.1. Procédé de Czochralski pour la fabrication de lingots de silicium.

II-2-1-2. Oxydation

-Formation de dioxyde de silicium (SiO_2)

-Deux approches communes à l'oxydation du silicium:

- Oxydation par voie humide: lorsque l'atmosphère oxydante contient de la vapeur de la tranche. La température est habituellement comprise entre 900 °C et 1000 °C. Il s'agit d'un processus rapide.

- oxydation à sec: lorsque l'atmosphère oxydante est de l'oxygène pur. Les températures ariennes la région de 1 200 °C pour obtenir un taux de croissance acceptables.

-Etant donné que SiO₂ a environ deux fois le volume de silicium, la couche de SiO₂ croît presque égale dans les deux directions verticales. (Voir la figure II.2)

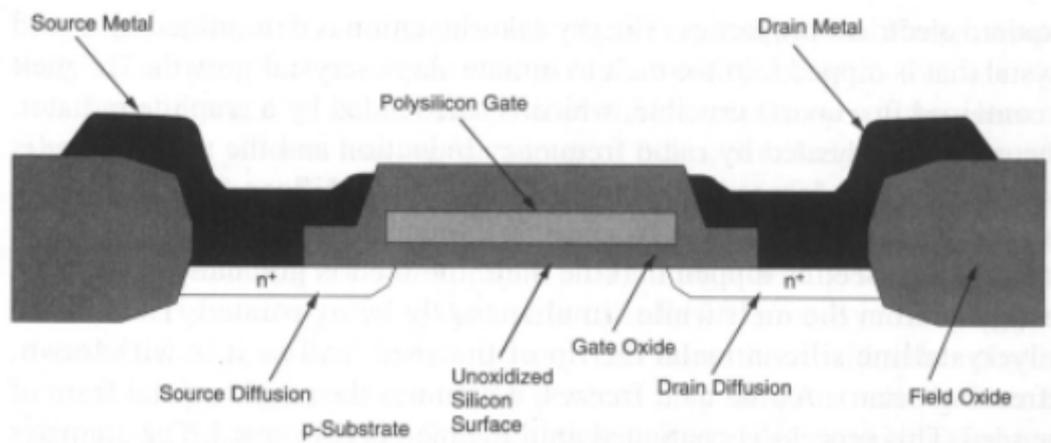


Figure. II.2. Un transistor NMOS montrant la croissance de l'oxyde de champ au-dessous de la surface de silicium.

II-2-1-3. Épitaxie, dépôt, implantation ionique, et Diffusion

- Epitaxie implique croissance d'un film monocristallin sur la surface du silicium en soumettant la surface de la plaquette de silicium à une température élevée et une source de matière dopante.

- Le dépôt peut impliquer l'évaporation de matériau dopant sur la surface de silicium suivi d'un cycle thermique, qui est utilisé pour entraîner les impuretés forment la surface de silicium dans la masse.

- Implantation ionique consiste à soumettre le substrat en silicium à des atomes donneurs ou accepteurs fortement activés. Lorsque ces atomes frappent sur la surface de silicium, ils se déplacent au-dessous de la surface du silicium, former des régions avec des concentrations de dopage différentes.

- Diffusion à une température élevée se produit entre l'un quelconque de silicium qui a des densités d'impuretés différentes, avec des impuretés ayant tendance à diffuser à partir des zones de forte concentration de zones de faible concentration.

- Construction de transistors dépend de la capacité à contrôler et où la quantité et le type d'impuretés sont introduits dans la surface du silicium.

- Quel type d'impuretés sont introduites est contrôlé par la source de dopant. Le bore est fréquemment utilisé pour la création d'accepteur silicium, tandis que l'arsenic et le phosphore sont communément utilisés pour créer silicium donneur.

- Combien d'impureté utilisée est déterminée par l'énergie et le temps de l'implantation ionique ou la durée et la température de dépôt et l'étape de diffusion.

- Lorsqu'il est utilisé est déterminé à l'aide de matériaux spéciaux comme des masques.

-Les matériaux couramment utilisés comme masque comprennent:

- résine photosensible
- poly silicium
- du dioxyde de silicium (SiO_2)
- du nitrure de silicium (Si_3N_4)

-Sélective diffusion implique:

- Structuration des fenêtres dans un matériau de masque sur la surface de la plaquette.
- Le fait de soumettre la zone exposée à une source de dopant.
- Retrait de tout matériau de masque unrequired.

- Exemple: Le processus de création d'un masque d'oxyde:

Étape 1: Recouvrement de la surface de l'oxyde avec un revêtement résistant à l'acide (appelé résine photosensible), et sur le dessus de cette couverture un masque qui contient des fenêtres d'oxyde souhaités.

Étape 2: Polymérisation du revêtement résistant à l'acide en faisant passer le silicium recouvert par la lumière UV.

Étape 3: L'élimination des zones polymérisées avec un solvant organique. C'est ce qu'on appelle un résisté positif.

Étape 3': Retrait de la zone de résine photosensible non exposée par le solvant (soit l'étape 3 ou 3' est fait). C'est ce qu'on appelle une réserve négative..

Étape 4: La gravure de SiO₂ exposé.

-La figure II.3 montre un exemple de négatif résister processus.

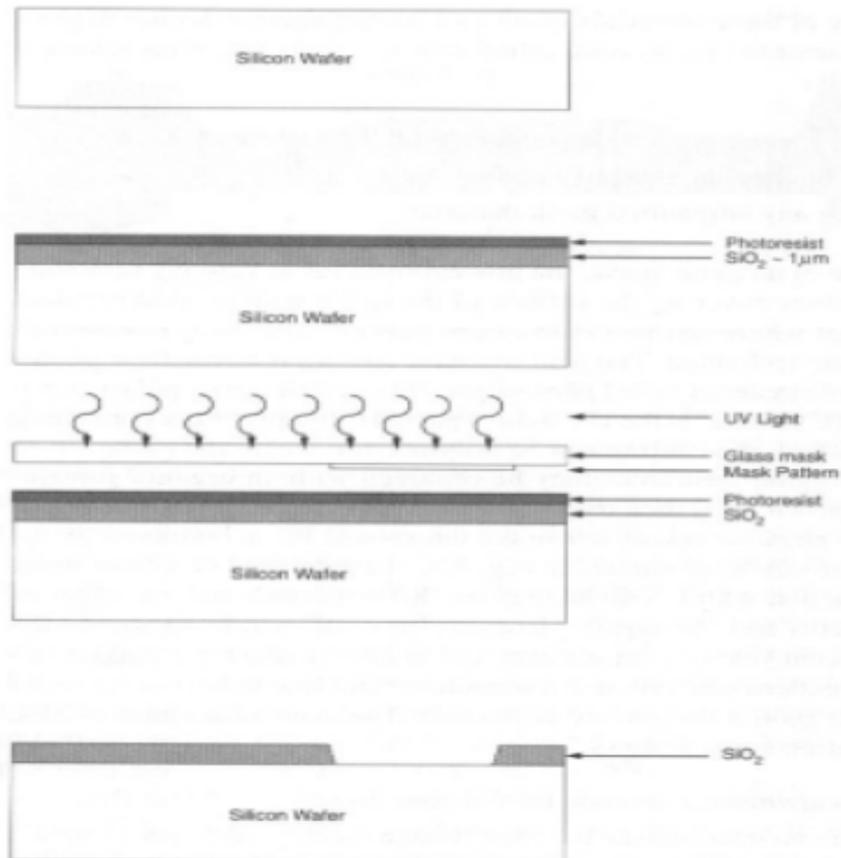


Figure. II.3. Simplifié étapes impliquées dans la structuration de SiO₂: (a) silicium nu, (b) Plaquette avec SiO₂ et de résister, (c) résister à exposer à la lumière UV, (d) final sio2 gravé.

-Utilisation de résine photosensible en association avec des sources de lumière UV, la diffraction sur les bords des motifs de masque et les tolérances d'alignement des largeurs de lignes de limite de l'ordre de 0,8 μm.

-Lithographie électronique (EBL) peut produire des largeurs de ligne inférieure à 0,5 μm.

-Les principaux avantages de la leucose bovine en EBL:

- Les modèles sont directement dérivées de données numériques.
- Aucune image matérielle intermédiaire tels que des masques est nécessaire (c.-à-, les masques sont stockés en tant que forme de données).
- Différents modèles peuvent être logés dans les différentes sections de plaquettes.
- Les changements aux habitudes peuvent être mises en œuvre rapidement.

-Principaux inconvénients de EBL:

- Le coût de l'équipement.
- Exiger la grande quantité de temps (c'est à dire, les motifs souhaités sont générés de façon séquentielle et une seule plaquette peuvent être traitées à la fois).

II-2-1-4. Processus silicium porte

- Poly silicium, de ne pas avoir une structure cristalline unique, peut être utilisé comme interconnexion en circuits intégrés de silicium et que l'électrode de grille de transistors MOS.
- Grille en poly silicium peut encore être utilisé comme un masque pour permettre une définition précise des électrodes source et drain.
- Poly silicium est formé lorsque le silicium est déposé sur la surface de SiO₂ ou d'un autre. Poly silicium non dopé a une résistivité élevée. De poly silicium de grille et de source / de drain sont dopées à la fois pour augmenter leur conductivité.
- La figure II.4 montre les étapes de traitement après la structuration initiale du SiO₂.

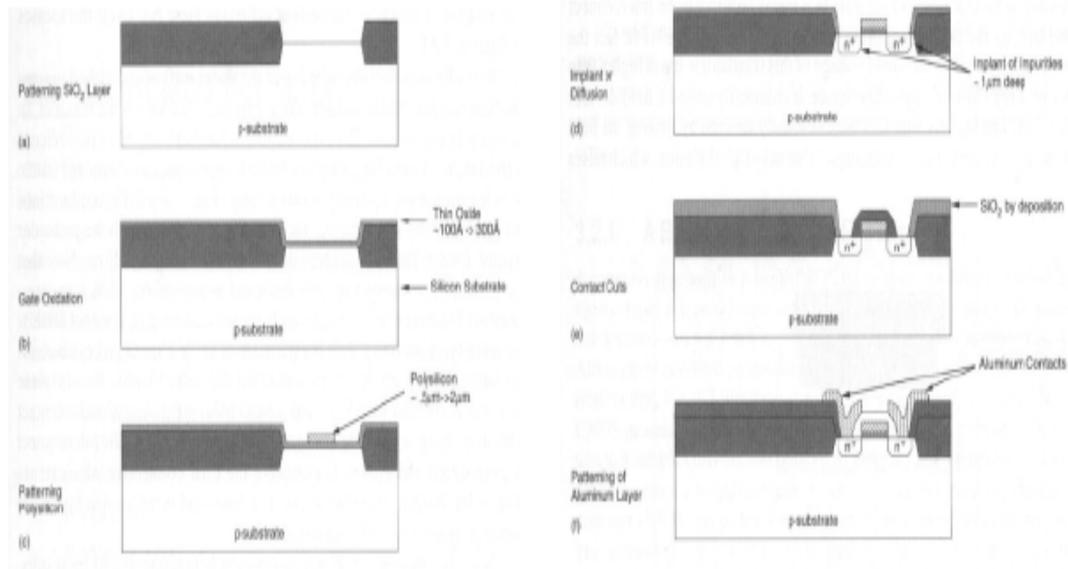


Figure. II.4.Étapes de fabrication d'un transistor à grille de silicium NMOS.

- Deux types d'oxydes de silicium:

- Porte-oxyde (thinox): Une couche mince de SiO₂ hautement contrôlé qui définit la zone d'un transistor à grille.

- Champ-oxyde: Une épaisse couche de SiO₂ est nécessaire ailleurs pour isoler les transistors individuels.

- Figure II.4 (b) forme de l'oxyde de grille.

- Figure II.4 (c) pousse la porte de poly silicium.

- Figure II.4 (d) dope les régions de grille et de source / drain. Dopage du substrat se produit uniquement dans les régions où la grille en poly silicium ne ombre non le substrat sous-jacent ou où ne sont pas couverts par SiO₂. Le cas de l'utilisation de grille de silicium comme masque est dénommé procédé auto-aligné, car la source et le drain ne s'étendent pas sous la grille.

- Figure II.4 (e) forme les coupures de contact.

- Figure II.4 (f) forme les contacts et d'interconnexion.

- A noter que les transistors MOS parasites existent entre les transistors non apparentées comme le montre la figure II.5. Ces transistors ont très épais oxyde de grille de telle sorte que leur tension de seuil est nettement supérieure à celle d'un transistor normal.

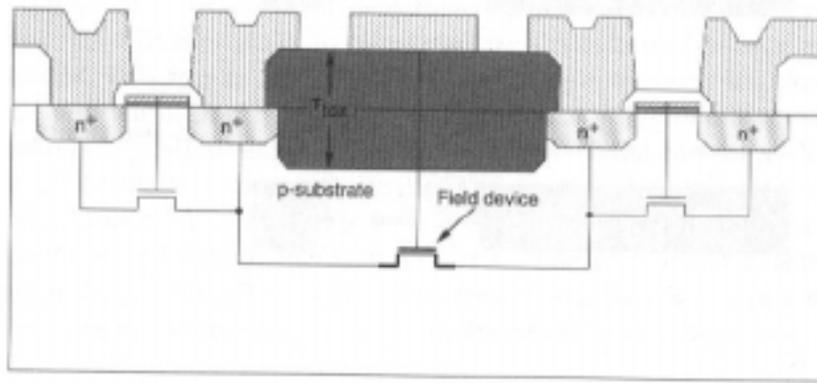


Figure. II.5. Un transistor MOS ou appareil de terrain parasite.

II-3. Technologie CMOS de base

- Les quatre principales technologies CMOS:

- n-well process
- p-well process
- double bath process
- silicium sur isolant

- Figure II.6 résume la convention de dessin pour présenter la technologie de procédé CMOS.

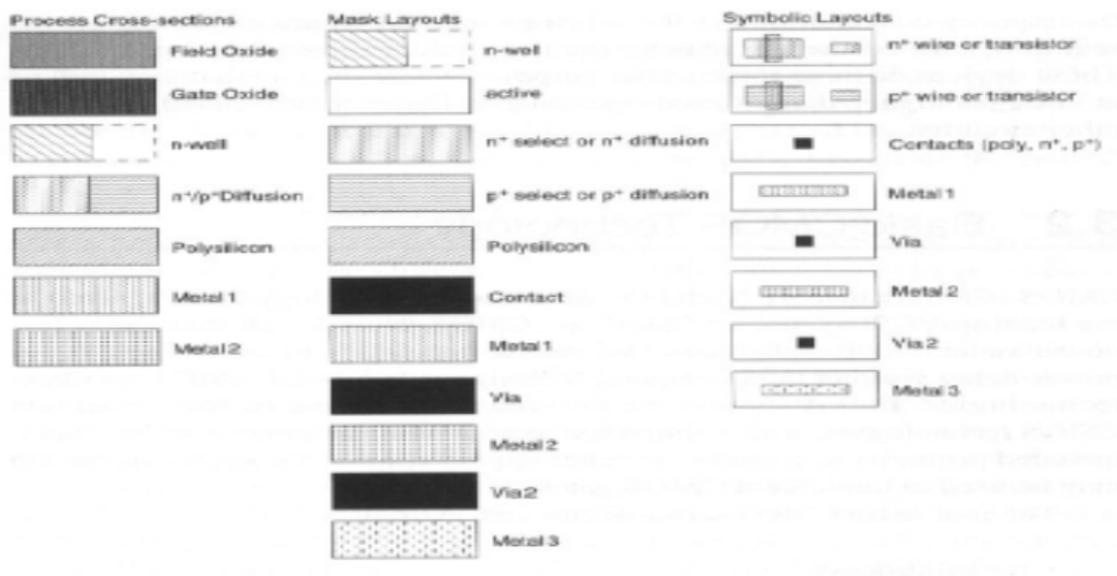


Figure. II.6. Procédé CMOS et dessin de disposition conventions.

II-3-1. A Basic n-well CMOS Process

- Commencer avec un substrat de type p légèrement dopée, créant le type n et pour les dispositifs à canal p et à la construction des dispositifs à canal n sur le substrat p- native.

- Figure II.7 illustre les principales étapes d'un processus typique puits n CMOS.

- la définition de n- bien : par implantation d'ions ou dépôt et la diffusion (voir la figure II.7 (a)).

- définition de la zone active: Définition des zones d'oxyde mince qui sont nécessaires pour mettre en œuvre des grilles de transistors et de permettre l'implantation pour former diffusions ou de type p n pour les régions source de transistor / drain. Une fine couche de SiO₂ est cultivée dans ce domaine et recouvert de Si₃N₄ (voir Fig. II.7 (b)).

- implant Channel- arrêt : Utilisation de masque de puits p (le complément du masque de puits n) et dopage du substrat de p dans les zones où se séparent les deux transistors. Ceci, en combinaison avec l'oxyde de champ épais va élever la tension de seuil du transistor MOS parasite, ce qui empêche la conduction entre indépendants transistors source / drains. (Voir Figure II.7 (c)).

- Croissance de l'oxyde de champ épais : Cette pousse dans les zones où la couche de Si₃N₄ est absente. L'oxyde se développe dans les deux directions verticale et aussi latéralement sous le sandwich SiO₂ / Si₃N₄. Ce mouvement latéral conduit à ce qui est appelé un " bec d'oiseau". Cette technique de construction générale d'oxyde LOCOS est appelé pour l'oxydation locale du silicium. L'effet de bec de l'oiseau réduit la dimension de la largeur d'un transistor (voir la figure II.7 (d)).

- Ajustement de n / p tensions de seuil de transistor : Avec une concentration de dopage normal, la tension de seuil pour les n- dispositifs est de l'ordre de 0,5 à 0,7 volts, alors que la tension de seuil p- dispositif est de l'ordre de -1,5 à -2,0 volts. Ainsi, le p- dispositif doit avoir sa tension de seuil régler plus de n - dispositif. Ceci est réalisé en créant un " canal enterré " qui est formée par l'introduction d'une couche de charge négative supplémentaire à l'interface silicium / oxyde (de sorte que la chaîne est déplacée en outre effectuée dans le silicium).

- Achèvement de la définition de grille en poly silicium (voir Fig. II.7 (e)).

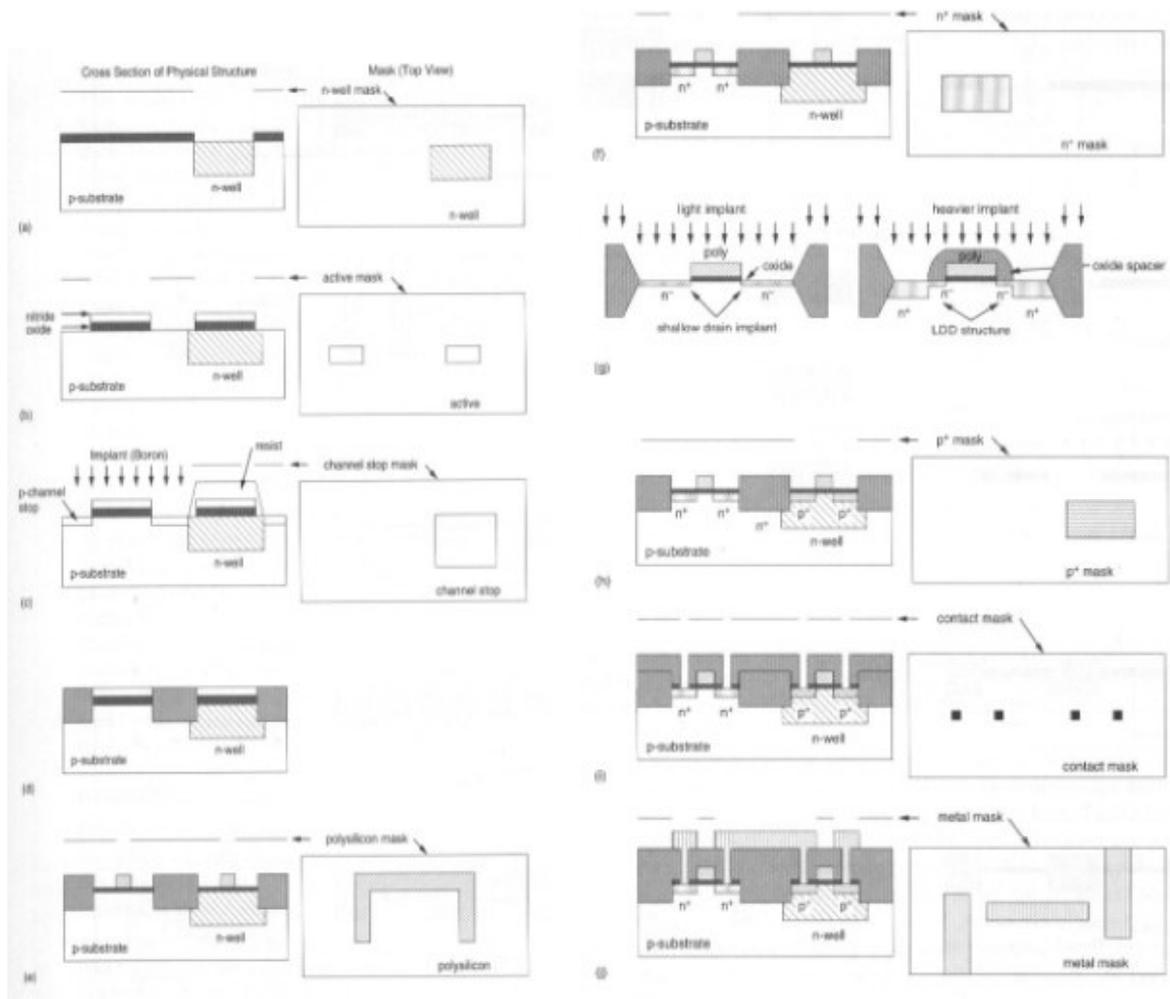


Figure. II.7. Un procédé type puits n CMOS.

• Implantation de n + par un masque de n-plus : Une zone mince d'oxyde exposée par le masque n -plus va devenir un n + zone de diffusion. Si la zone de n -plus est dans le p-substrat, puis un transistor à canal n (voir la figure II,7 (f)) ou un fil métallique de type n diffusions peut être construit. Si la zone n -plus est dans le puits de type n (non représentée), puis un contact ohmique avec le puits de type n peut être construit. (Un contact ohmique est un qui est seulement résistives dans la nature et n'est pas rectifier. En d'autres termes, il n'y a pas de jonction. Le courant peut circuler dans contact ohmique.) Pour diminuer les effets d'électrons chauds pour les procédés modernes de dimension petits, «fuite ingénierie » est effectuée. Il s'agit d'effectuer un n - LDD faible (Light dopé de vidange) implant qui recouvre la région source / drain, où il n'y a pas de poly. Un oxyde d'espace est ensuite croître de plus de la grille en poly silicium. Un implant n + est ensuite utilisé pour produire l'implant n + qui sont espacés du bord des originaux poly bords de la grille. L'entretoise est alors retirée, ce qui entraîne une structure qui est plus résistant aux effets - électrons chauds (voir Fig.II.7 (g)).

- Implantation de p + par un complément (c.-à- p + masque) du masque n -plus: Une zone mince d'oxyde exposé par la p masque + deviendra un p + (ou p- actif) zone de diffusion. P- actif dans le puits n définit p transistors possibles et fils (voir Fig. II.7 (h)). Une zone de p- actif dans le p- substrat permet un contact ohmique avec être faite. L'étape de LDD n'est pas nécessaire pour les p- transistors.

- Définir des réductions de contact (voir Fig. II.7 (i)).
- Métallisation (voir Fig. II.7 (j)).
- passivation (non représentée)

- La section transversale d'un inverseur CMOS est représentée sur la figure II.8.

- Contacts de substrat:

- Le dessus p-contact de substrat à VSS est préférable car elle permet de réduire les résistances parasites qui pourraient faire en sorte latch-up.

- contacts bien de la DMV est également de bord.

- Substrat (p-substrat par rapport à puits N) contacts sont formés en plaçant des régions n + dans le puits de type n (contacts VDD) et p + dans le substrat de type p (contacts VSS) comme le montre la figure II.9 (a).

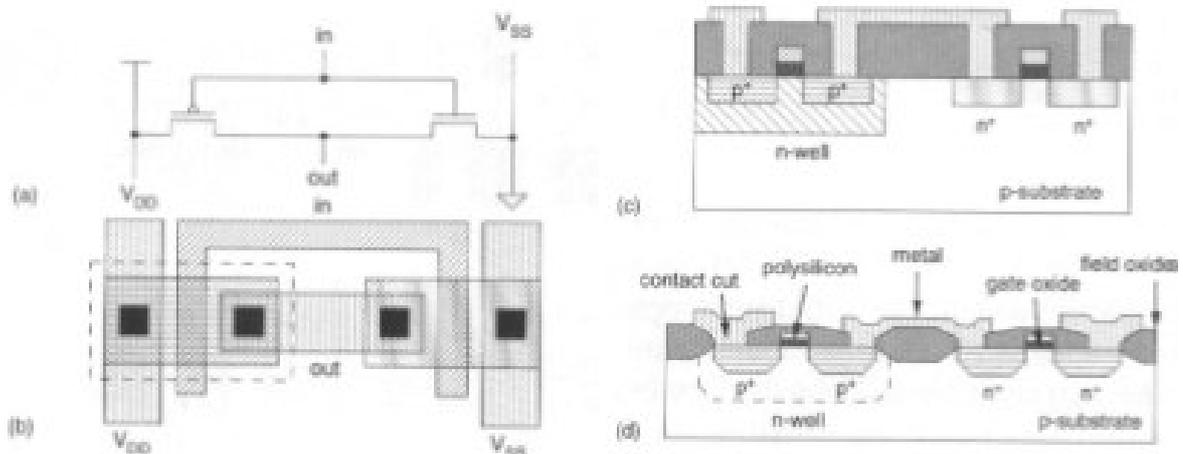


Figure. II.8.Coupe transversale d'un inverseur CMOS dans un processus de puits n.

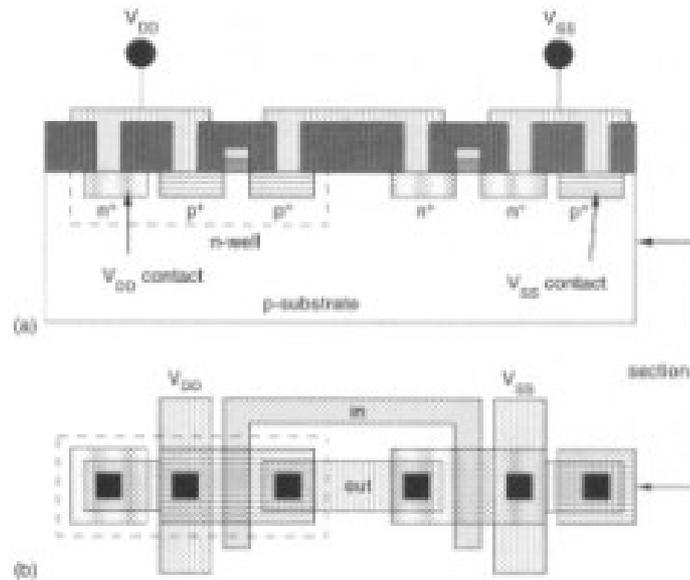


Figure. II.9. Contacts de substrat et ainsi dans un processus n-bien.

II-3-2. The P-well Process

- Les étapes de fabrication de p-même typiques sont semblables à un processus à puits N, si ce n'est qu'un puits de type p est implanté pour former les n-transistors plutôt que d'un puits de type n.

- Les processus de puits P sont préférés dans les cas où les caractéristiques des n- et p-transistors sont nécessaires pour être plus équilibrée que celle obtenue dans un processus n-bien. Parce que le transistor qui réside dans le substrat natif a tendance à avoir une meilleure caractéristique, le processus p-même a de meilleurs p dispositifs que d'un processus n-bien.

II-3-3. Twin-Tub Processes

- Le matériau de départ est soit un n + ou p + substrat avec une couche épit axiale faiblement dopée, qui est utilisé pour la protection contre la languette vers le haut (voir la figure II.10).

- Le processus similaire à n-bien comporte les étapes suivantes

- formation à remous
- construction mince d'oxyde
- source et de drain implantations
- Définition Contactez coupe
- métallisation



Figure. II.10. Structure d'un inverseur.

- Ce processus fournit puits optimisés séparément, de performance équilibrée n transistors et p-transistors peuvent être construits.

II-3-4. Silicium On Isolant (SOI)

- Au lieu d'utiliser du silicium en tant que substrat, tels que les technologies SOI ont cherché à utiliser un substrat isolant pour améliorer les caractéristiques du procédé tels que la vitesse et la languette vers le haut.

- Les étapes utilisées dans le processus typique CMOS SOI sont les suivants (voir Figure II.11) :

- Un film mince (7-8 μm) de très faiblement dopée de type n est formée par croissance épitaxiale de Si sur un isolant. Saphir ou SiO_2 est un isolant couramment utilisé. (Figure II.11 (a))
- Une gravure anisotrope est utilisé de graver le silicium sauf une zone de diffusion sera nécessaire. (Figure II.11 (b) et (c)).
- Implantation de la p- île où un n - transistor est formé. (Figure II.11 (d))
- L'implantation de la n- île où un p- transistor est formé. (Figure II.11 (e))
- la culture d'un mince oxyde de grille (100 à 250 \AA).
- Dépôt de film en poly silicium dopé au phosphore sur l'oxyde. (Figure II.11 (f))
- Modélisation de grille en poly silicium. (Figure II.11 (g))
- Formation de la source et le drain des dispositifs à canal N, le P- îles dopé n. (Figure II.11 (h))
- La formation de la source et de drain des dispositifs à canal p dans les n- îlots à dopage p. (Figure II.11 (i))
- dépôt d'une couche de matériau isolant tel que le verre de phosphore ou de SiO_2 au-dessus de l'ensemble de la structure.

- Gravure de l'isolant à des endroits de contact coupé. La couche de métallisation est formée suivant. (Figure II.11 (j))
- Dépôt de la couche de gravure et de passivation emplacement de tampon de liaison.
- Du fait que les régions de diffusion s'étendent vers le bas sur le substrat isolant, seules les zones de paroi latérale »» associés à des diffusions de source et drain contribuent à la capacité de jonction parasite.
- Depuis saphir et SiO₂ sont extrêmement bons isolants, les courants de fuite entre transistors et le substrat et les dispositifs adjacents sont presque éliminés.

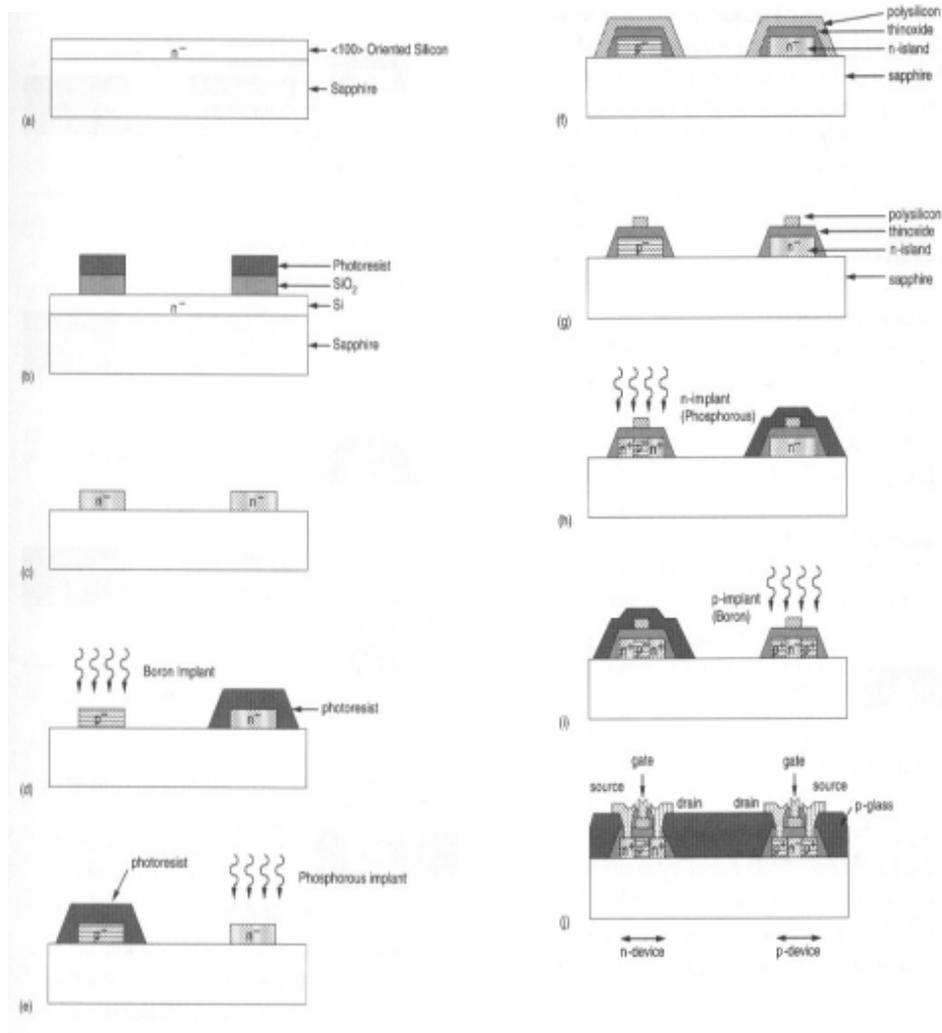


Figure. II.11. Flux de processus de SOI.

- Afin d'améliorer le rendement, certains procédés utilisent «etch préférentiel», où les bords de l'île sont coniques (figure II.12).

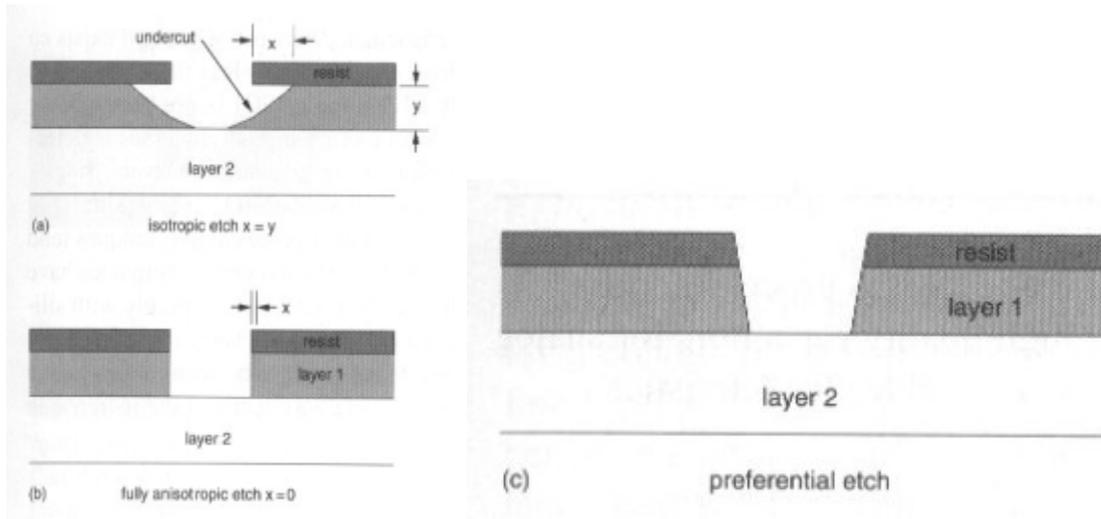


Figure. II.12.Classification des procédés de gravure.

- Avantages de SOI:

- En raison de l'absence de puits, structures de transistors plus denses que le silicium en vrac est réalisable.
- capacité de support inférieur.
- Pas de problèmes sur le terrain inversion (l'existence du transistor parasite entre deux transistors normaux)
- Pas de verrouillage vers le haut est possible en raison de l'isolement de transistors par le substrat isolant.
- Pas de problèmes à effet de corps en raison de pas substrat conducteur.
- Avec une tolérance accrue de rayonnement.

- Inconvénients de SOI:

- Manque de diodes de substrat fait de la protection d'E / S difficile.
- capacité de couplage existe toujours.
- Plus coûteux à construire.

II-4. Amélioration des processus CMOS

- Amélioration d'augmenter la capacité d'acheminement de circuits, fournir condensateur de haute qualité, ou de fournir des résistances de caractéristiques variables. Ces améliorations comprennent:

- plusieurs niveaux de métal (plus de cinq niveaux).
- poly niveau triple double ou.
- Les combinaisons de ce qui précède.

II-4-1. Interconnexion

• Plus les niveaux de métal améliorer la puissance et de la distribution d'horloge à des modules et faciliter la capacité d'acheminement du signal.

II-4-1-1. Interconnexion métallique

• Si aplanissement est utilisé, le pas de métal de second niveau peut être le même que le premier. Cependant, si la topologie verticale devient plus variée, la largeur et l'espacement de métal doit augmenter pour empêcher le métal de se casser.

• prendre contact avec le métal de deuxième couche sur la première couche métallique est réalisée par l'intermédiaire comme le montre la figure II.13, et un certain nombre de géométries de contact sont présentés dans la figure II.14.

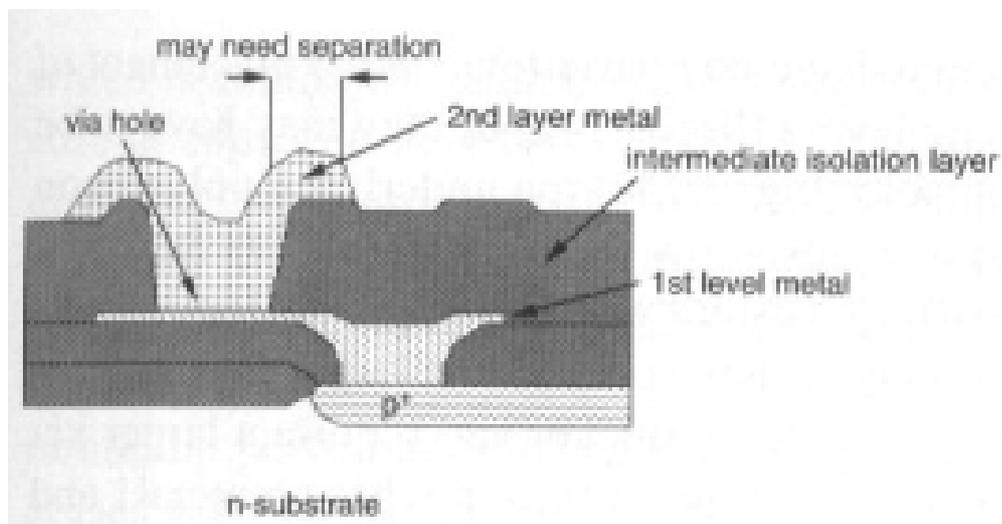


Figure. II.13.Section de métal de processus de niveau de remorquage.

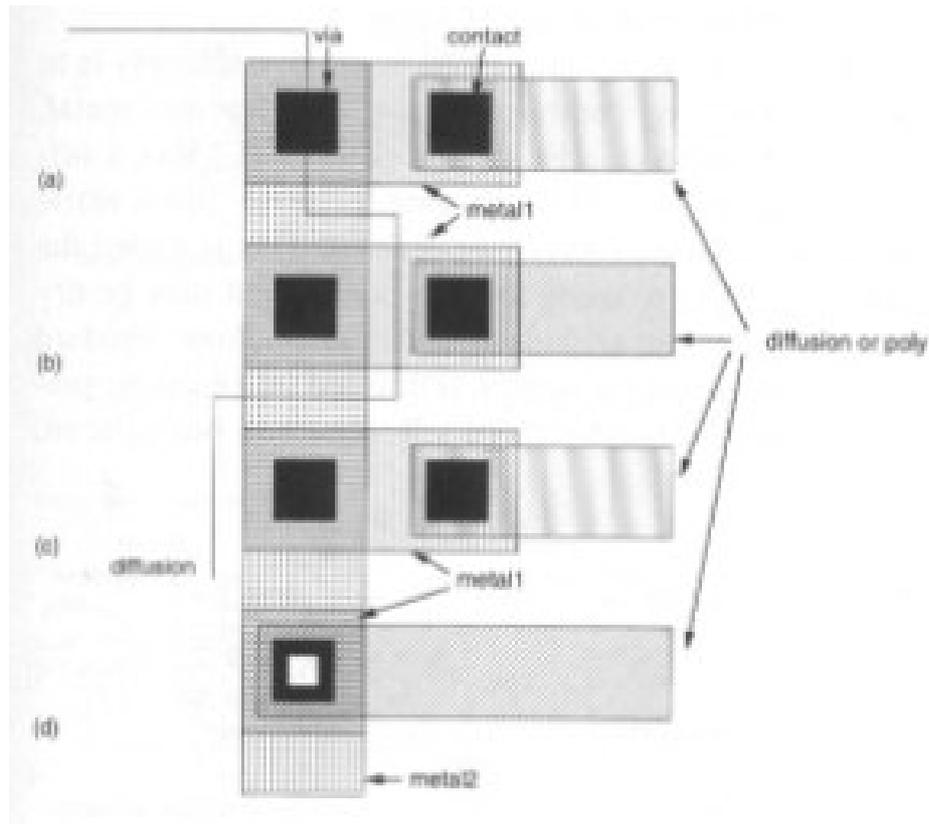


Figure. II.14. Métal au niveau de remorquage via / géométries de contact.

- Pas de restrictions sur le placement de la via par rapport aux couches sous-jacentes (figure II.14 (a)).
 - Mise en place de par l'intérieur (figure II.14 (b)) ou à l'extérieur (Figure II.14 (c)) les zones de silicium poly cristallin ou de diffusion sous-jacents.
 - Pose des vais sur le dessus de contacts (Figure II.14 (d)).
- Les étapes d'un processus en deux métal
- L'oxyde en dessous de la couche de premier métal est déposé par l'atmosphère de dépôt chimique en phase vapeur (CVD).
 - La deuxième couche d'oxyde entre les deux couches métalliques est appliquée d'une manière similaire.
 - Suppression de l'oxyde par un graveur de plasma.

II-4-1-2. Poly silicium / réfractaire interconnexion métallique

- A-poly silicium dopé avec une résistance de couche varie de 20 à 40 Ω / carré peut également être utilisé en tant que couche d'interconnexion.
- Afin de réduire encore la résistance de poly silicium, un métal réfractaire peut être revêtu

sur le poly silicium sans masque supplémentaire avec les trois approches suivantes.

- Comme le montre la figure II.15 (a), d'un siliciure (par exemple, le silicium et le tantale) est utilisée comme matériau de grille. Fiche résistances de l'ordre de 1 à 5 Ω / carré peuvent être obtenus. C'est ce qu'on appelle l'approche de la porte de siliciure.

- Figure II.15 (b) utilise un sandwich de siliciure sur silicium poly cristallin, qui est communément appelé l'approche de polycide.

- L'approche présentée sur la figure II.15 (a) et (b) peut être appliquée à la formation de la source et la région de drain en utilisant le processus de salicide (Self Aligned SILICLDE) (Figure II.15 (c)). Une tendance à la hausse est d'utiliser l'approche de salicide.

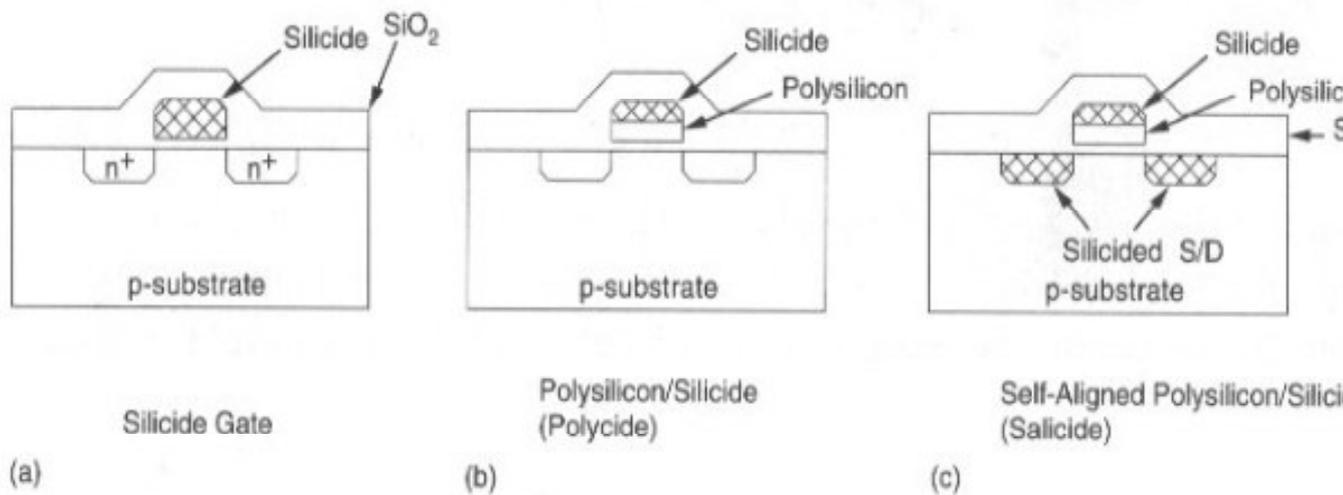


Figure. II.15. Interconnexion de métal réfractaire.

II-4-1-3. Local InterConnect

- Le siliciure (par exemple TiN) lui-même peut être utilisé comme une couche "d'interconnexion locale" pour la connexion à l'intérieur de cellules logiques.

- Interconnexion locale permet une connexion directe entre poly silicium et de diffusion, réduisant ainsi le besoin de contacts et de métal zone à forte intensité.

- La figure II.16 représente une partie d'une cellule SRAM à six transistors qui utilise interconnexion locale. Ainsi, la zone est réduite de 25%.

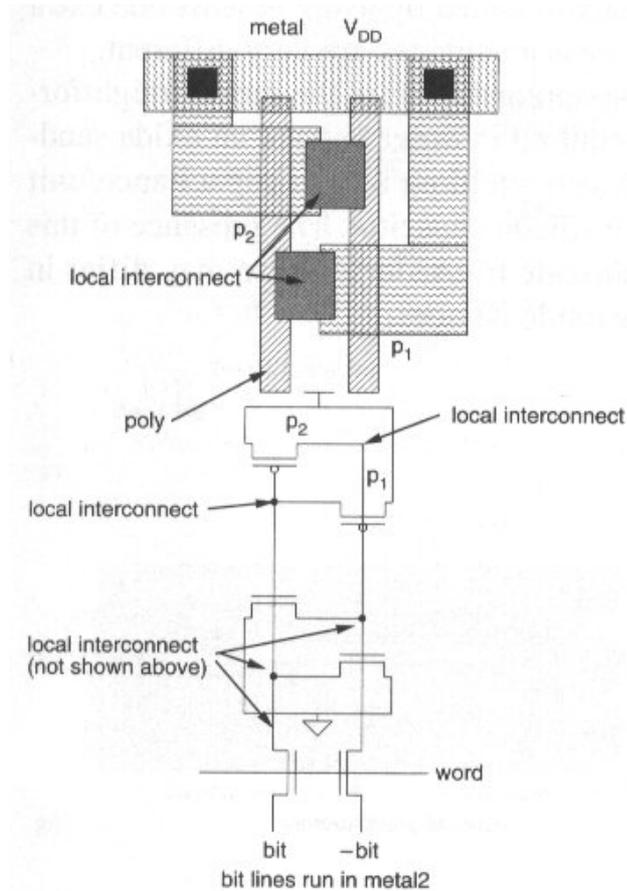


Figure. II.16. Interconnexion locale telle qu'elle est utilisée dans une cellule de mémoire vive.

II-4-2. Circuit éléments

II-4-2-1. Résistances

- Poly silicium non dopé est hautement résistif. Cette propriété est utilisée pour construire résistance utilisée dans la mémoire statique. Résistances dans la région tera- Ω ($10^{12}\Omega$) sont utilisés. Une valeur de 3 T Ω résultats dans un courant de veille de $2\mu\text{A}$ pour une mémoire à M bits.

- Résistances de haute qualité peuvent être obtenus par
 - l'ajout d'un métal résistant tel que nichrome.
 - ajustage au laser.
- Les valeurs de résistance de la feuille dans le $\text{k}\Omega / \text{carré}$ sont normaux.

II-4-2-2. Condensateurs

- Figure II.17 montre un condensateur de poly silicium typique pour les applications

analogiques. Une couche supplémentaire de poly silicium et une seconde couche mince d'oxyde sont nécessaires.

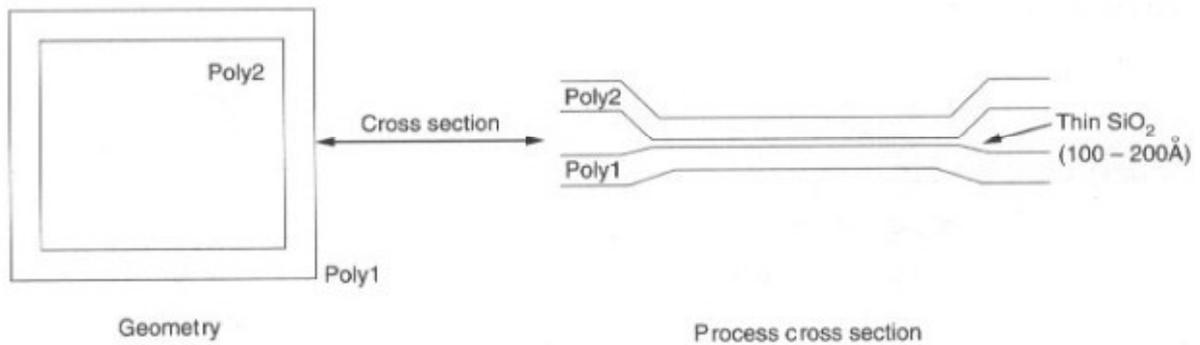


Figure. II.17. Condensateur de poly silicium.

- Figure II.18 (a) montre une structure de condensateur de tranchée utilisé comme un condensateur de mémoire. La tranchée est de 4 μm de profondeur et a une capacité de 90 fF.

- Les parois de la tranchée sont dopées n + et revêtues d'un oxyde de 10 nm. Cela constitue la plaque supérieure du condensateur et un côté du transistor de dérivation.

- La tranchée est remplie d'un bouchon de silicium poly cristallin, qui forme la plaque inférieure du condensateur de stockage des cellules. Elle a lieu à $V_{DD} / 2$ via une connexion métallique.

- Le fond de la tranchée a un bouchon de p + formant une région d'arrêt de canal afin d'isoler les condensateurs adjacents.

- Figure II.18 (b) montre un condensateur à ailettes utilisé dans un 64 Mo de mémoire DRAM.

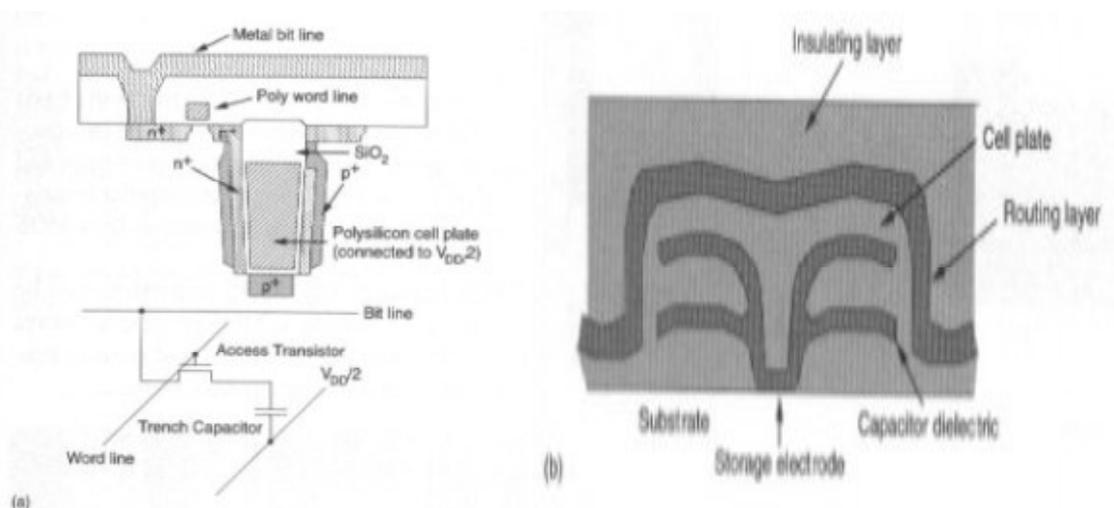


Figure. II.18. Condensateurs de mémoire dynamique, IEEE 1988, IEEE1991.

II-4-2-3. ROM électrique Modifiable

- La figure II.19 représente une structure de mémoire typique, qui se compose d'une structure à grille empilée. La grille normale est laissée flottante, tandis qu'une grille de commande est placée au-dessus de la grille flottante. Un très mince d'oxyde (10 nm) appelé l'oxyde tunnel séparant la grille flottante à partir de la source, le drain et le substrat.

- En contrôlant les tensions de grille de commande, source et drain, la très mince d'oxyde de tunnel entre la grille flottante et le drain du dispositif est utilisé pour permet aux électrons de "tunnel" ou à partir de la grille flottante pour activer la cellule ou hors tension, respectivement, en utilisant Fowler - Nordheim.

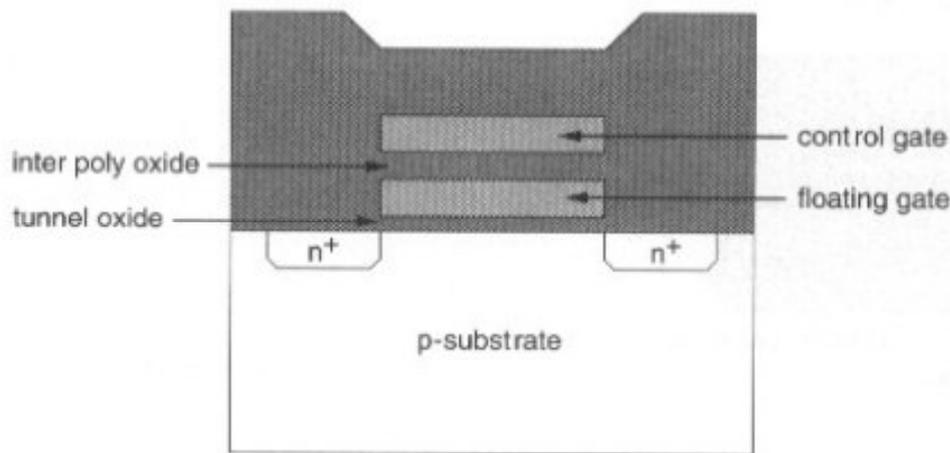


Figure. II.19. Technologie EEPROM.

II-5. Règles de conception de mise en page

- La mise en page (conception) des règles peut être considérée comme une prescription pour la préparation photo masque utilisé dans la fabrication de circuits intégrés.

- L'objectif principal associé avec les règles de mise en page est d'obtenir un circuit avec un rendement optimal dans une zone aussi petite que possible sans compromettre la fiabilité d'un circuit.

- Deux ensembles de contraintes de règles de conception dans un processus concernent des largeurs de lignes et l'espacement entre les couches.

- Les règles de conception portent principalement sur deux questions :

- (1) la reproduction géométrique des entités qui peuvent être reproduits par le masque de décision et le processus lithographique.

- (2) Les interactions entre les différentes couches.
- Deux approches couramment utilisées pour décrire les règles de conception :
 - (1) les règles des «micros » énoncés avec une certaine résolution du micron (par exemple, 1 µm) et donné une liste des tailles de longs espacement minimal et pour tous les masques nécessaires dans un processus donné. C'est le style normal pour l'industrie.

Fondées sur des règles

- (2) Lambda (λ) popularisé par Mead et Conwy sont basés sur un seul paramètre, λ , qui caractérise la fonction linéaire - la résolution de l'ensemble du processus de mise en œuvre de la tranche - et permet d'abord d'ordre échelle. Cela n'est pas suffisant pour le procédé de taille inférieure au micron.

II-5-1. Représentations de la couche

- Bien, processus CMOS est généralement complexe, à un niveau conceptuel suffisamment élevé, tous les processus CMOS utilisent les fonctionnalités suivantes:

- deux substrats différents
- de deux régions dopées p et n-matériau formant transistor.
- grille du transistor électrodes.
- chemins d'interconnexion
- contacts entre les couches.

- Le tableau II.1 montre la représentation typique de couche pour le processus CMOS n-puits.

LAYER	COLOR	SYMBOLIC	COMMENTS
N-well	Brown		Inside brown is n-well, outside is p-type substrate.
Thin-oxide	Green	n-transistor	Thin-oxide may not cross a well boundary.
Poly	Red	Polysilicon	Generally n^+ .
p^+	Yellow	p-transistor	Inside is p^+ .
Metal1	Light blue	Metal1	
Metal2	Tan	Metal2	
Contact-cut, via	Black	Contact	
Metal3	Grey	Metal3	
Overglass			

Tableau. II.1. Représentations de la couche pour le processus CMOS n ainsi.

II-5-2. Règles CMOS puits N

- Le tableau II.2 présente une version des règles n puits basés sur CMOS Règles Adaptable MOSIS et les règles d'un processus CMOS de 1µ commerciale. Les règles MOSIS sont exprimés en termes de λ. Voir la figure II.20 pour illustration.

- Les règles de conception sont définis en termes de

- la taille des longs
- les séparations et les chevauchements

- Dimensions nuls du masque doivent généralement être sollicité pour permettre différents types de traitement (par exemple, le masque actif est gonflé pour tenir compte de l'empiètement de l'oxyde de champ pendant LOCOS et contacts sont diminué pour la gravure excessive).

	λ RULE	λ/μ RULE (0.5μ)	μ RULE
A. N-well layer			
A.1 Minimum size	10λ	5μ	2μ
A.2 Minimum spacing (wells at same potential)	6λ	3μ	2μ
A.3 Minimum spacing (wells at different potentials)	8λ	4μ	2μ
B. Active Area			
B.1 Minimum size	3λ	1.5μ	1μ
B.2 Minimum spacing	3λ	1.5μ	1μ
B.3 N-well overlap of p ⁺	5λ	2.5μ	1μ
B.4 N-well overlap of n ⁺	3λ	1.5μ	1μ
B.5 N-well space to n ⁺	5λ	2.5μ	5μ
B.6 N-well space to p ⁺	3λ	1.5μ	3μ
C. Poly 1			
C.1 Minimum size	2λ	1μ	1μ
C.2 Minimum spacing	2λ	1μ	1μ
C.3 Spacing to Active	1λ	0.5μ	0.5μ
C.4 Gate Extension	2λ	1μ	1μ
D. p-plus/n-plus (p⁺, n⁺ for short)			
D.1 Minimum overlap of Active	2λ	1μ	1μ
D.2 Minimum size	7λ	3.5μ	3μ
D.3 Minimum overlap of Active in abutting contact (see Fig. 3.27)	1λ	0.5μ	2μ
D.4 Spacing of p ⁺ /n ⁺ to n ⁺ /p ⁺ gate	3λ	1.5μ	1.5μ
E. Contact			
E.1 Minimum size	2λ	1μ	0.75μ
E.2 Minimum spacing (Poly)	2λ	1μ	1μ
E.3 Minimum spacing (Active)	2λ	1μ	0.75μ
E.4 Minimum overlap of Active	2λ	1μ	0.5μ
E.5 Minimum overlap of Poly	2λ	1μ	0.5μ
E.6 Minimum overlap of Metall	1λ	0.5μ	0.5μ
E.7 Minimum spacing to Gate	2λ	1μ	1μ
F. Metall			
F.1 Minimum size	3λ	1.5μ	1μ
F.2 Minimum spacing	3λ	1.5μ	1μ

(continued)

Tableau. II.2. Règles de mise en page CMOS.

	λ RULE	λ/μ RULE (0.5μ)	μ RULE
G. Via			
G.1 Minimum size	2λ	1μ	0.75μ
G.2 Minimum spacing	3λ	1.5μ	1.5μ
G.3 Minimum Metal1 overlap	1λ	0.5μ	0.5μ
G.4 Minimum Metal2 overlap	1λ	0.5μ	0.5μ
H. Metal2			
H.1 Minimum size	3λ	1.5μ	1μ
H.2 Minimum spacing	4λ	2μ	1μ
I. Via2			
I.1 Minimum size	2λ	1μ	1μ
I.2 Minimum spacing	3λ	1.5μ	1.5μ
J. Metal3			
J.1 Minimum size	8λ	4μ	4μ
J.2 Minimum spacing	5λ	2.5μ	2.5μ
J.3 Minimum Metal2 overlap	2λ	1μ	1μ
J.4 Minimum Metal3 overlap	2λ	1μ	1μ
K. Passivation			
K.1 Minimum opening		100μ	100μ
K.2 Minimum spacing		150μ	150μ

Tableau. II.2.Règles de mise en page CMOS continué.

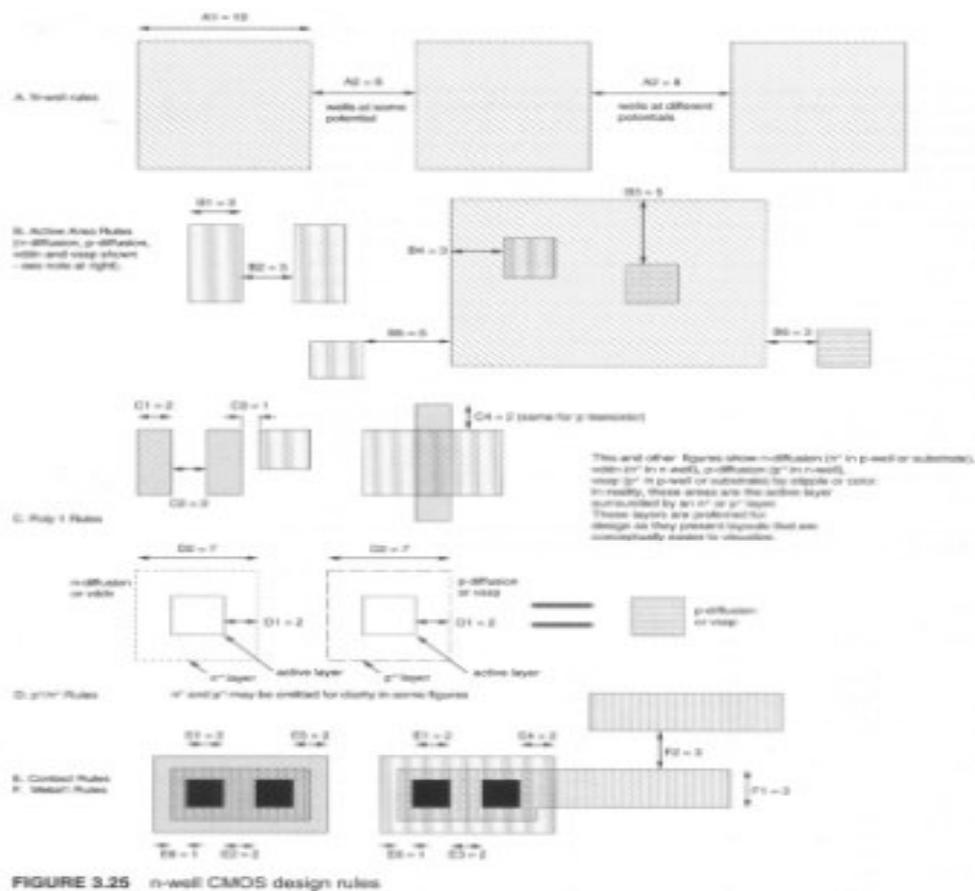


Figure. II.20.CMOS n puits règles de conception.

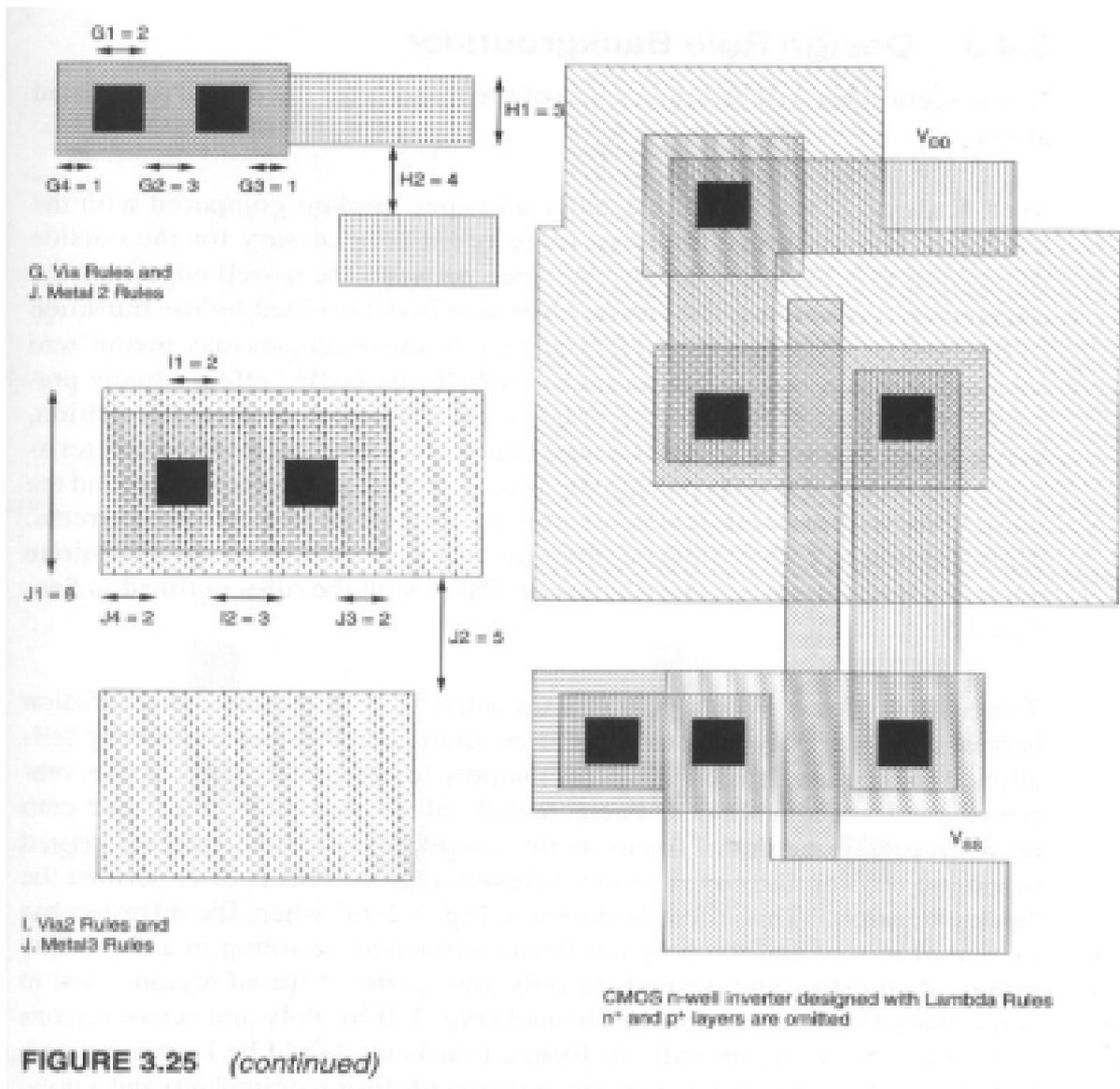


Figure. II.20. CMOS n puits règles de conception continué.

- Comparaisons de λ -règles contre Micron-règles (à $\lambda = 0,5 \mu\text{m}$)
 - Métal 1 emplacement de contact est de $3,5 \mu\text{m}$ pour λ -règle, mais $2,75 \mu\text{m}$ pour micron règle.
 - Métal 2 via hauteur est de $4,0 \mu\text{m}$ pour λ -règle, mais $2,75 \mu\text{m}$ pour micron règle.
 - Pas de transistor (pitch contact poly contact) est de $4 \mu\text{m}$ pour λ -règle, mais $3,75 \mu\text{m}$ pour micron règle.
- Tableau II.3 résume les dimensions de base pour les processus représentatifs allaient $0,25$ à $0,6 \mu\text{m}$.

LAYER		NEC ³⁰	HITACHI ³¹	TOSHIBA ³²	HITACHI ³³	IBM ³⁴
Gate Oxide		15nm	13.5nm	11nm		7nm
Poly1	Width	.55μ (.65μ for p)	.6μ	.5μ	.3μ	.4μ
	Space	.55μ	.6μ	.6μ		
Poly2	Width	.55μ	.6μ	.5μ		
	Space	.55μ	.6μ	.6μ		
Poly3	Width	.55μ	.6μ	.8μ		
	Space	.55μ	.6μ	.7μ		
Poly4	Width		.6μ			
	Space		.6μ			
Contact	Size		.6μ	.6μ		
Metal1	Width	.9μ	.7μ	1.4μ	.3μ	
	Space	.55μ	.6μ	.7μ	.4μ	
Via	Size		.6μ	1.2μ		
Metal2	Width	.9μ	.7μ	1.4μ	.45μ	
	Space	.55μ	.6μ	1.2μ	.65μ	
Metal3	Width				.55μ	
	Space				.75μ	

Tableau. II.3. Dimensions de processus CMOS submicroniques.

II-5-3. Design règle Document d'information

- Des règles bien:

- La dimension extérieure devrait fournir un espace suffisant entre les bords de puits n et n + adjacent diffusion.

- N-bien doit être connecté à fond à Vdd pour réduire la résistance de la feuille.

- Règles de transistors:

- l'extension porte: poly est nécessaire d'étendre au-delà des bords de la diffusion (voir Figure II.21 (a)), sinon il peut y avoir un court-circuit chemin entre la source et le drain du transistor.

- source / drain doit être prolongée au-delà de la porte poly sorte que les régions diffusées existent pour mener la charge dans et hors de la voie. (Voir la Figure II.21 (b)).

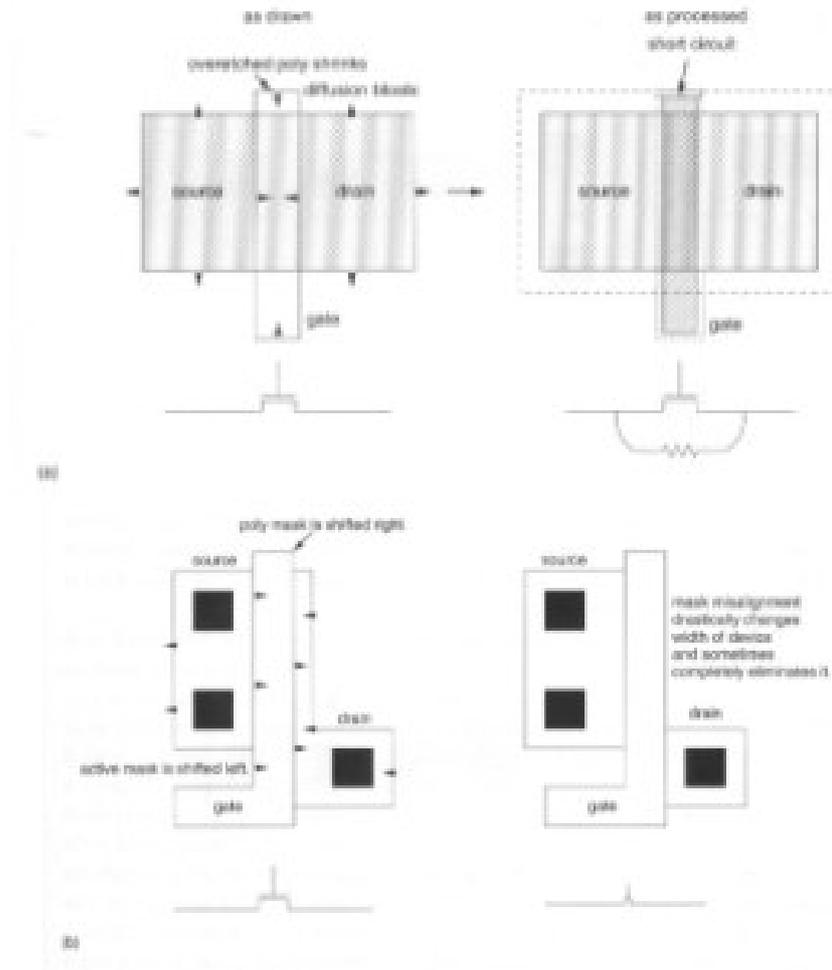


Figure. II.21. Effet de prolongement de grille insuffisante et l'extension de drain à la source.

- Règles de contact:

- types de contact

- Métal pour p-actif (p-diffusion) contact.

- Métal à n-actif (n-diffusion) contact.

- Le contact métal de silicium poly cristallin.

- DMV et contacts de substrat VSS.

- Split (des contacts de substrat).

• Bien et contacts de substrat doivent être utilisés pour attacher le bien à la DMV et de lier le substrat à VSS, respectivement.

• La répartition (fusionné, butée) contact est équivalent à deux contacts métal-diffusion distincts qui sont attachés ensemble avec du métal (figure II.22). Cette structure est utilisée pour relier les sources des transistors à le substrat ou le puits de type n.

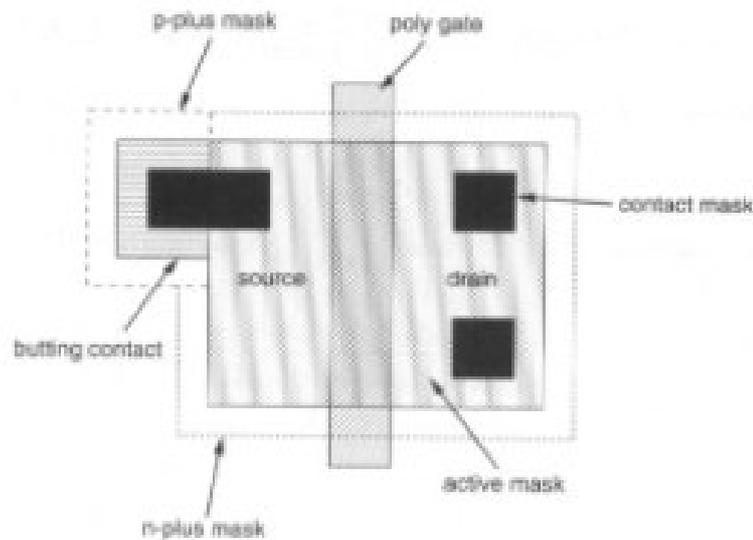


Figure. II.22. Structure d'un contact Substrat fusionnée ou butée.

- Garde Anneaux (figure II.23):

- p + anneau de garde est une diffusion p + p-substrat tandis que l'anneau n + garde est un n + diffusion sur n-bien à collecter des porteurs minoritaires injectés.
- n-appareils sont construits sur p-substrat avec n + diffusion source / drain. Les porteurs minoritaires sont des trous. Ainsi, p anneau + de garde connecté à VSS est utilisé pour recueillir des trous.
- P-appareils sont construits sur n-bien avec p + diffusion source / drain. Les porteurs minoritaires sont des électrons. Ainsi, n + anneau de garde connecté à VDD est utilisé pour collecter des électrons.

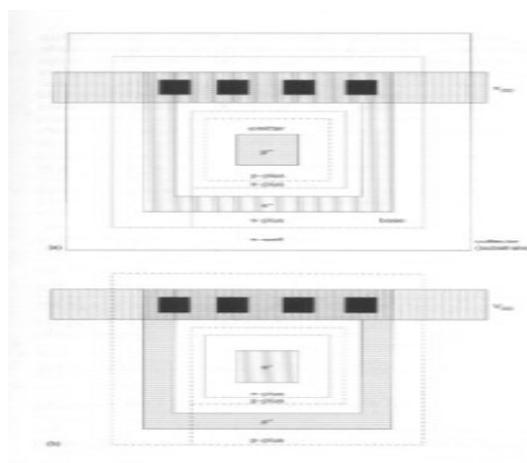


FIGURE 3.28 Guard rings

Figure. II.23. Anneau de garde.

- Règles métalliques:
 - espacements métalliques peuvent varier en fonction de la largeur de la ligne de métal (dites règles de métal plat).
 - Il peut aussi y avoir des règles maximales métalliques.
 - Il peut demander que l'ensemble puce à être couvert par une certaine partie (par exemple, 2/3) de métal.
- Spécial par des règles, des règles de métal 2, les règles de VIA2, et les règles de Metal3 peut être spécifiquement présenté pour exigence de fabrication.

II-5-4. Missions de la couche

- Le tableau II.4 présente un exemple des assignations de couche pour MOSIS évolutive CMOS Design-règle.
- CIF: Caltech forme intermédiaire.

LAYER	CIF LAYER NAME	CALMA NUMBER
Well	CWG	14
N-well	CWN	1
P-well	CWP	2
Active	CAA	3
Select	CSG	15
P-select	CSP	8
N-select	CSN	7
Poly	CPG	4
Poly Contact	CCP	45
Poly 2 (Electrode)	CEL	5
Electrode Contact	CCE	55
Active Contact	CCA	35
Metal1	CMF	10
Via	CVA	11
Metal2	CMS	12
Via2*	CVB	65
Metal3*	CMT	14
Overglass	COG	13

Tableau. II.4.MOSIS évolutives couche missions CMOS de règles de conception.

II-6. Problèmes liés à la technologie CAD

- Deux contrôles de base doivent être complétées afin d'assurer que le masque d'un circuit peut être transformé en une puce de travail après la fabrication.

- Les règles de conception géométriques spécifiées doivent être respectées.
- La relation du masque doit produire l'ensemble interconnecté correcte des éléments de circuit.

- Deux outils de CAO sont utilisées pour vérifier ces deux exigences

- Design Règle Check programme (RDC) vérifie les règles de conception géométrique
- Le programme d'extraction Circuit vérifie la bonne formation de d'éléments de circuit et de leur interconnexion.

S'allume lorsque le V_{be} PNP = -0,7 volts. Ceci à son tour augmente la tension de base npn provoquant une rétroaction positive état comme représenté sur la Figure II.23 (c). Ceci est en effet un court-circuit.

- À une certaine tension base-émetteur NPN, appelé le point de déclenchement, la tension d'émetteur soudainement " revenir brusquement "

et entre dans un état stable appelé l'état "ON". Cet état persiste aussi longtemps que la tension aux bornes des deux transistors est supérieure à la tension de maintien.

- Comme l'émetteur du npn est la source / drain du transistor n-, ces bornes sont maintenant à peu près 4 volts (tension de maintien). Ainsi, il est d'environ 1 volt à travers l'inverseur CMOS (c'est à dire, V_{ds} est au plus 1 volt). [19]

II-7. Conclusion

Ce chapitre sert d'introduction à CMOS technologie. Il fournit une perspective sur la façon individuelle technologies telles que l'oxydation et l'implantation ionique sont en fait utilisé. Il ya beaucoup de variations sur les flux processus CMOS utilisés dans l'industrie. Le procédé décrit ici est destiné à être représentant, même si elle est simplifiée par rapport à Flux de nombreux processus en cours. Peut-être le point le plus important est que tout processus individuel étapes comme l'oxydation et de l'ion implantation sont généralement étudié comme isolé technologies, leur utilisation réelle est beaucoup compliquée par le fait que la fabrication IC se compose de plusieurs étapes successives, chacune d'elles doit intégrer ensemble pour faire couler l'ensemble du processus travailler dans le secteur manufacturier.

III-1. Introduction

Le présent document présente la conception et la simulation de circuits intégrés CMOS, d'une manière attractive grâce à des outils de PC conviviaux Dsch et Microwind. La version lite de ces outils comprend un sous-ensemble des commandes disponibles. La version Lite est un freeware, disponible sur le site Web www.microwind.net. La version complète des outils est disponible via ni2designs Inde www.ni2designs.com.

Microwind est l'outil basé sur Windows conception VLSI spécialement pour la conception et la simulation de circuits microélectroniques au niveau de la mise en page. L'outil dispose d'installations complètes d'édition, par exemple copié, coupé, collé, dupliqué, et déférents opérations. Ce logiciel permet à voir différents points de vue de la mise en page de l'article tel processus en 2D et 3D.

III-2. Technologie échelle vers le bas

III-2-1. La loi de Moore

Reconnaissant une tendance à la complexité du circuit intégré, cofondateur d'Intel, Gordon Moore extrapolé la tendance et prédit une croissance exponentielle de la quantité de mémoire disponible et la vitesse de calcul des microprocesseurs qui, disait-il en **1965**, doublerait chaque année [Moore]. Avec une légère correction (c.-à doubler tous les 18 mois, voir la figure III-1), la loi de Moore a tenu à le 2 processeur **Itanium®**, qui compte environ 400 millions de transistors.

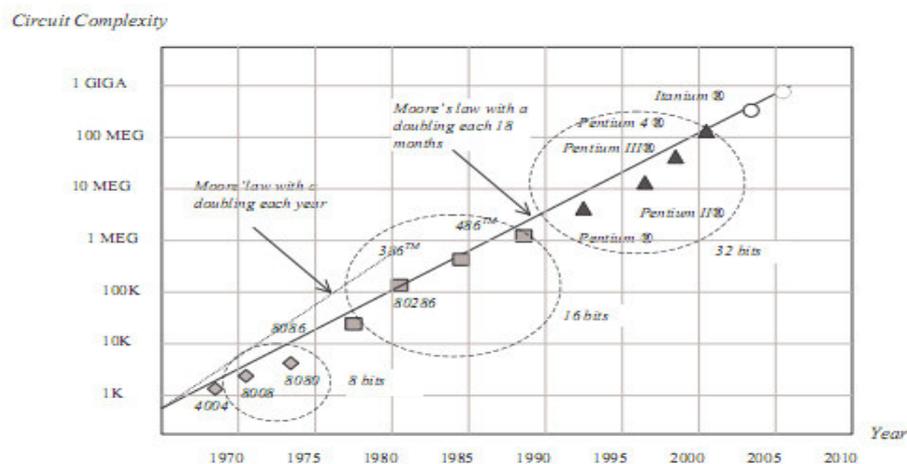


Figure.III.1.La loi de Moore par rapport à Intel complexité du processeur 1970-2010.

III-2-2. Avantages d'échelle

La tendance à l'amélioration de la technologie CMOS continue d'être alimentée par la nécessité d'intégrer plusieurs fonctions dans une zone donnée de silicium. A chaque mise à l'échelle de la lithographie, les dimensions linéaires sont approximativement réduites d'un facteur de 0,7, et les zones sont réduites par un facteur de 2. Tailles de cellules plus petites aboutissent à une densité d'intégration plus élevée qui a augmenté de près de 1 million de portes par mm² en technologie 90 nm

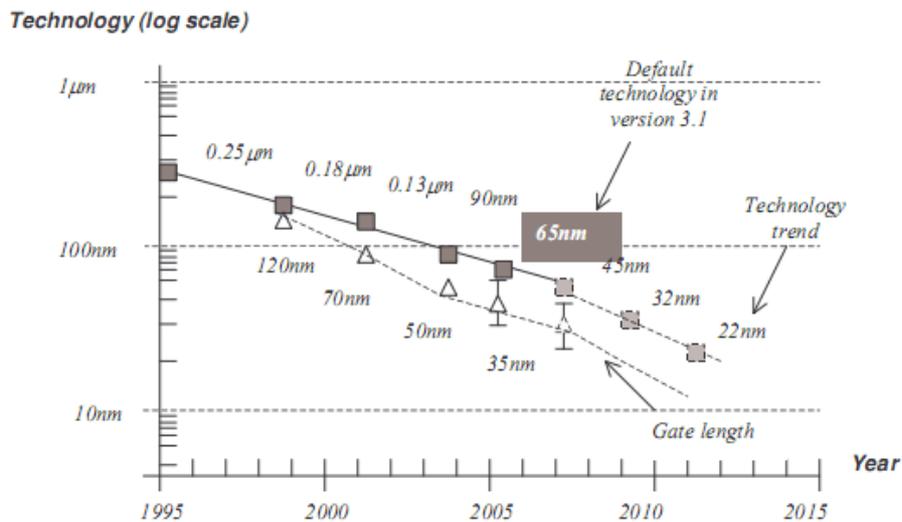


Figure. III.2. L'échelle de la technologie vers le bas vers les dispositifs à l'échelle nanométrique.

III-2-3. Croissance de la marche

Le marché des circuits intégrés n'a cessé de croître depuis de nombreuses années, en raison de jamais-augmentation de la demande pour les appareils électroniques. La production de circuits intégrés pour diverses technologies est illustrée au fil des ans dans la figure III-3. On peut voir qu'une nouvelle technologie est apparue régulièrement tous les deux ans, avec une montée en près de trois ans [Ghani]. Le pic de production est en constante augmentation, et des tendances similaires devrait être observé pour de nouvelles technologies telles que 65nm (prévisions pic en 2009).

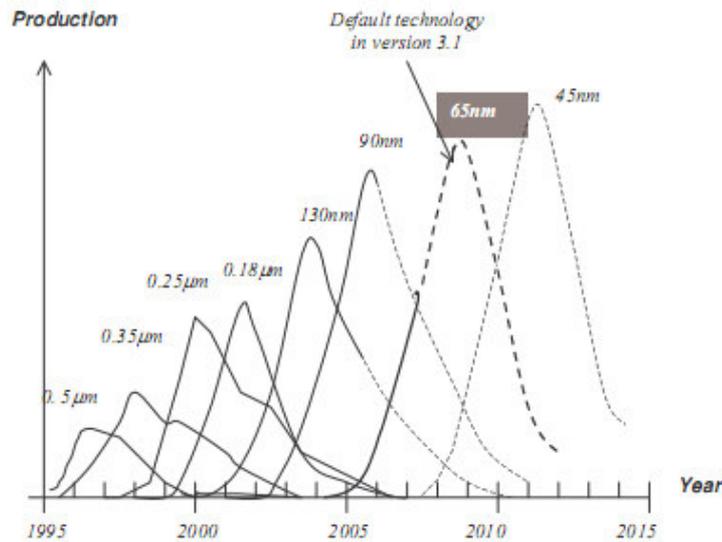


Figure. III.3.Technologie rampe tous les deux ans.

III-3. Microwind et Dsch

III-3-1. À propos de Microwind

-Le programme de Microwind permet à l'étudiant de concevoir et de simuler un circuit intégré au niveau de la description physique. le paquet contient une bibliothèque de logiques et Analogie CIs communs de visualiser et de simuler Microwind comprend toutes les commandes pour un éditeur de masque ainsi que des outils originaux jamais rassemblées auparavant dans un seul module (vue 2D and3D de processus, compilateur Verilog, tutoriel sur les dispositifs MOS) . Vous pouvez accéder à la simulation de circuit en appuyant sur une seule touche. L'extraction électrique de votre circuit est effectuée automatiquement et le simulateur analogique produit courbe de tension et de courant immédiatement.

III-3-2. À propos de Dsch

-Le programme de Dsch est un éditeur de logique et simulateur Dsch est utilisé pour valider l'architecture du circuit de logique avant la conception de la microélectronique est commencé Dsch fournit un environnement convivial pour la conception de la logique hiérarchique, et la simulation rapide avec l'analyse de retard, ce qui permet la conception et la validation des structures logiques complexes. Certaines techniques pour la conception de faible puissance sont décrites dans le manuel. Dsch offre aussi les symboles, les modèles et support de montage pour 8051 et 18f64.Dsch comprend également une interface à épices.

III-3-3. Installation

Connectez-vous à la page Web www.microwind.net pour les dernières informations sur la façon de télécharger la version allégée du logiciel. Une fois installé, deux répertoires sont créés, l'un pour Microwind 31, un Dsch 31, comme illustré ci-dessous.

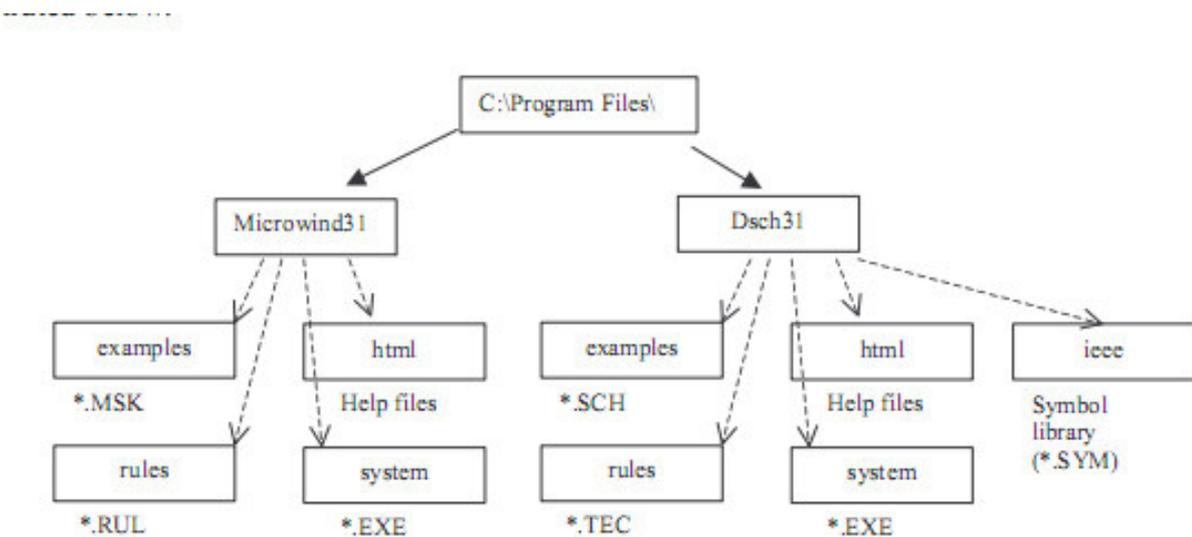


Figure. III.4.L'architecture de Microwind et Dsch.

Une fois installés, deux répertoires sont créés, l'un pour Microwind 31, un pour Dsch 31. Dans chaque répertoire, un sous-répertoire nommé html contient les fichiers d'aide. En Microwind 31, d'autres sous-répertoires sont des exemples de fichiers (*.MSK), des règles de conception (*.RUL) et les fichiers système (principalement microwind31.exe). En DSCH 31, d'autres sous-répertoires sont des exemples de fichiers (*.SCH et *.SYM), des règles de conception (*.TEC) et les fichiers système (dsch31.exe principalement).[20]

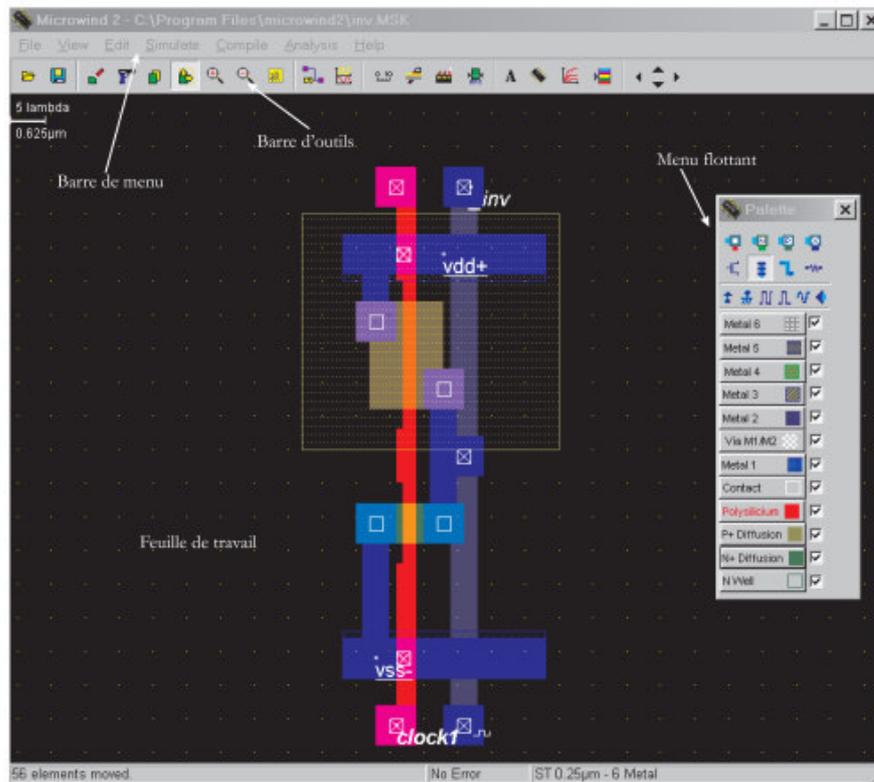


Figure. III.5. Microwind editor window.

III-3-4. Les parties de Microwind

On constate que le programme propose une fenêtre en 4 parties:

- Une barre de menu permettant de lancer différents outils de simulation, d'analyse et de compilation
- Une barre d'outils permettant l'accès à des raccourcis les plus couramment utilisés,
- Un menu flottant proposant différents outils (sélection des couches, simulation,...)
- Une feuille de travail sur laquelle seront dessinées (en vue de dessus) les structures micro-électroniques.

-

III-3-4-1. La barre d'outils

Comme expliqué précédemment, elle permet d'accéder rapidement aux fonctions les plus utilisées, en particulier le dessin de boîte et l'effacement. On détaille ci-dessous les différents icônes

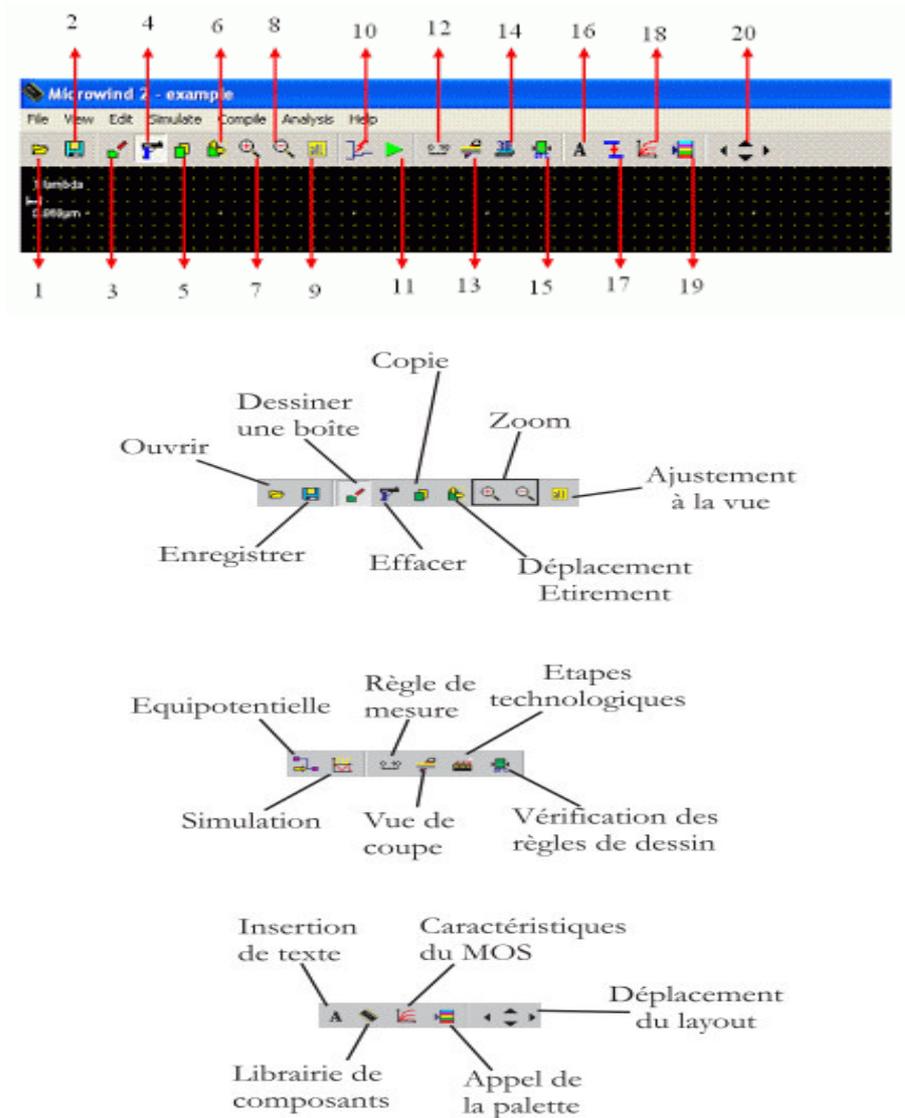


Figure. III.6.La barre d’outils de Microwind.

1. Ouvre déjà existant disposition. Si vous avez enregistré votre mise en page quelque part, accédez à ce dossier et vous pouvez l’ouvrir.
2. Sauvegardez la configuration actuelle. Les mises en page sont stockées avec l'extension MSK. Si vous souhaitez stocker tarif de location spécifique Aller dans Fichier> Enregistrer sous.
3. Sa boîte appelée de tirage. Lorsque vous cliquez sur ce, alors vous pouvez tirer la dernière couche sélectionnée à partir d'une palette.
4. Votre meilleur partenaire, le fusil! Pour effacer, supprimer ou retirer la zone en particulier, cliquez sur cette icône, puis cliquez sur le calque particulier. Astuce: Si vous souhaitez supprimer uniquement la partie sélectionnée, cliquez d'abord sur le germe, puis maintenez le

bouton gauche de la souris et sélectionnez le calque que vous devez éliminer sélectivement. Taux complètement remanié plus d'une couche, les couvrir en maintenant le bouton gauche de la souris cliqué.

5. Pourquoi attirer l' dévisser à nouveau la même que vous avez déjà établi ? Nous avons l'outil de copie. (Même ici). Cliquez sur ce, puis de nouveau Sélectionnez la zone en maintenant la touche gauche de la souris et couvrant ce domaine, relâchez le bouton de la souris. SÉCURITÉ endroit où la zone que vous souhaitez. (Je suggère d'essayer ce en tirant la couche très simple)

6. Extensible (Resize) / outil Déplacer . Pourtant, un autre outil important. Il est utilisé si vous voulez déplacer une certaine disposition d'en endroit à l'autre. Fondamentalement, il peut être contacté ou Vdd ou Gnd etc. Il peut également s'agir d'une couche ou d'un dispositif complet. Si vous souhaitez déplacer une mise en page complexe, cliquez sur ce, et encore la même exploitation truc de la souris fera. Cliquez une fois quand vous obtenez des résultats satisfaisants. Redimensionner : Ceci est utilisé lorsque la conception ne les règles de conception. Vous pouvez sélectionner cette redimensionner et la mise en page. Cliquez une fois quand vous obtenez des résultats satisfaisants. Astuce: Si vous voulez redimensionner horizontalement, cliquez d'abord sur l'icône de l'outil, aller au bord horizontal à redimensionner, puis dessinez un rectangle imaginaire petit que le bord de sorte qu'il baigne sur la couche et le substrat et redimensionner. En est de même pour redimensionner verticalement.

Je vous recommande fortement d'essayer ce en tirant une seule couche. Dans la figure ci-dessus, je suis le redimensionnement du bord droit du silicium poly cristallin. Vous pouvez voir le rectangle vert. (Est dessiné sur son propre lorsque vous faites glisser la souris en maintenant la touche de gauche)

7 .Zoom (optimisation) la mise en page. Si vous voulez voir en détail la mise en page, utiliser cet outil.

8. Zoom Août. Je suggère d'utiliser ce Lorsque vous dessinez la disposition expansive. Zoom arrière pour connecter le dévissage dans l'alignement approprié.

9. Voir tout. Comme il est dit, il s'adapte à votre disposition à l'écran.

10. Il montre les propriétés électriques. (Vous ne serez pas utiliser d'abord, ne vous inquiétez sauter).

11. Simulation de: Cliquez sur ce lorsque vous avez terminé. Il montre les différentes entrées et sorties de forme d'onde. (Nous reviendrons sur ce point dans la partie suivante).

12 .Mesure la distance de différentes couches, dévisser. Si vous connaissez la règle de la conception, de l'utiliser à plusieurs reprises pour vérifier que vous respectiez les

13. section transversale en 2-D. Comme son nom l'indique, il montre la vue en 2 dimensions de la zone sélectionnée. Astuce: Après la connexion de deux poly silicium de couche et ces métaux, avec le contact, vous devez marquer vous que les deux couches sont reliées. Vous obtiendrez des résultats erronés si elles ne parviennent pas à se connecter correctement. Tel dans le cas, cliquez sur cet outil, puis maintenez le bouton droit de la souris et faites-le glisser jusqu'à ce que vous couvriez le contact. Il indique clairement si les couches sont reliées. Schéma illustre le même.

14 .Cela donnent vue 3 - D de la mise en page.

15. RDC : Design Règle Check. Il vérifie diverses règles de conception et si les règles sont violées suggérer des corrections. Astuce: Il est recommandé d'effectuer la RDC après la pose chaque couche. Cela vous permet de déboguer facilement le circuit. Essayez également d'utiliser moins de quantité de sperme de l'émission ou de silicone cum réalisable. Rappelez-vous: Dans la Silicium immobilier, chaque nanomètre est précieux. Remarque seulement cela, il empêche capacité indésirable et résistance

16. Ajouter le texte. C'est comme Commentant codé en langage de programmation. Il aide à marquer votre disposition lisible. Cliquez sur cet outil et cliquez là où vous souhaitez ajouter le texte.

17 .couches connecter : supposons que vous avez dessiné deux couches, et veulent interconnexion (ils ne sont pas reliés par défaut), cliquez sur ce, puis sur les couches.

18 .Cela simulent les caractéristiques MOS.

19 .Afficher la palette. Il arrive. Parfois, la palette disparaît. (Je ne sais pas pourquoi). Pour le récupérer, cliquez sur ce.

20 .Pour faire défiler autour de la mise en page, de voir les différentes régions, l'utilisation de ces flèches.

III-3-4-2. Le menu flottant

Elle est constituée de 4 parties ;

- .les contacts
- .la génération de composants (MOS, Résistances, Pad,....)
- .les signaux de simulations
- .la palette permettant de choisir quelle couche, on désire réaliser.

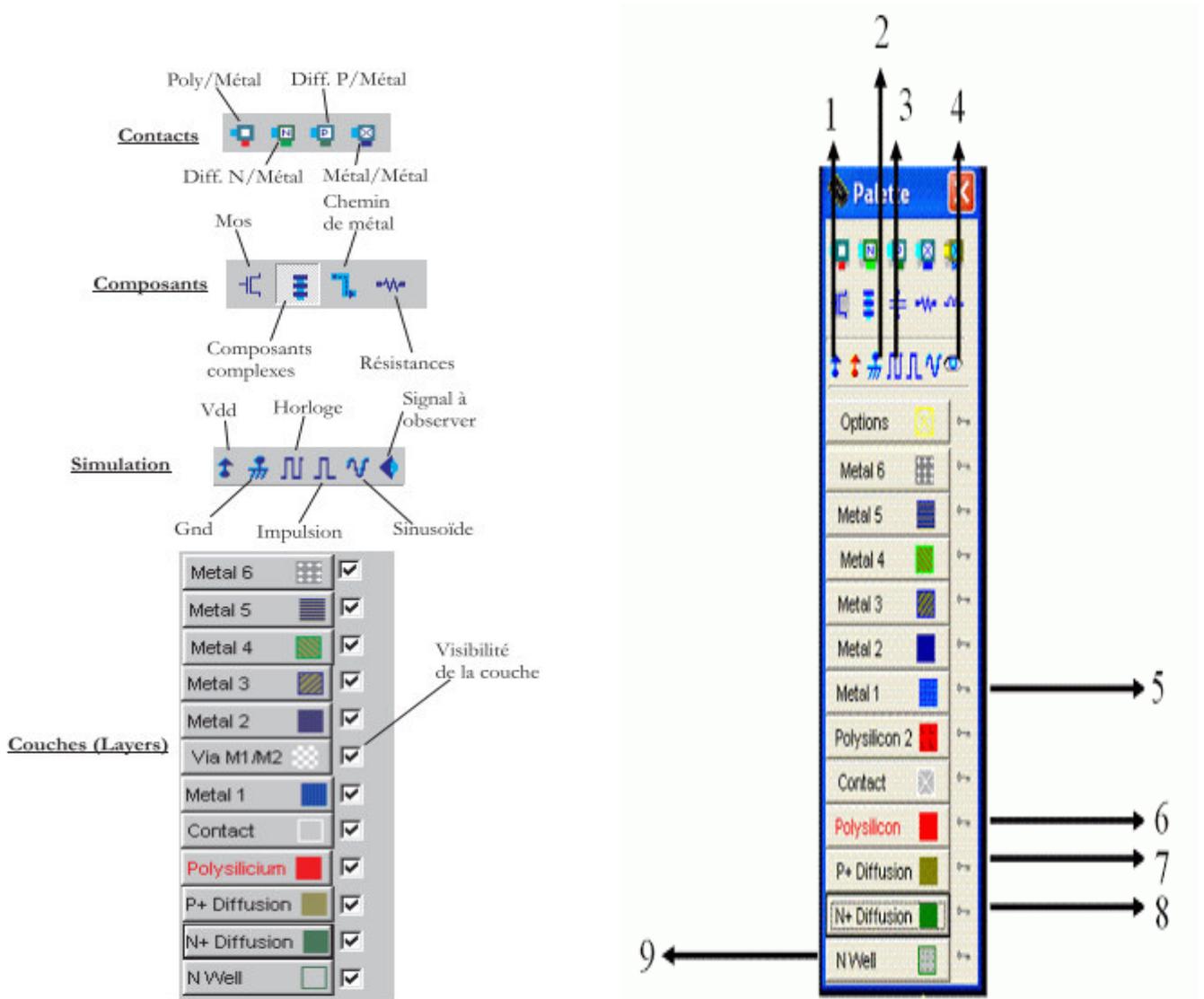


Figure. III.7. Le menu flottant de Microwind.

1. VDD. Ceci est utilisé pour fournir la tension nécessaire à la bonne mise en page. Nous appliquons habituellement ce à N puits (pour éviter flottante) et pMOS.

2. Ground. Aussi simple que terre. Elle fonde la région sur laquelle il est placé.

3. annonces horloge à la zone cliquée. Vous pouvez spécifier la période, peu de temps, parfois élevés et bien d'autres caractéristiques. Si vous êtes un débutant, ne modifiez pas les valeurs par défaut. Il suffit de cliquer et cliquer sur la zone à être appliqué.

Note importante : Une fois que vous avez appliqué à n'importe quelle horloge de nœud (point ou une région), la prochaine fois que vous cliquez dessus pour l'appliquer à une autre région, il prend la période double de celle du dernier clic automatiquement. Cela arrive à maintenir rimes binaires.

4. Ressemble à un œil hein? Si vous voulez voir la tension, le courant ou quelques autres paramètres du nœud, alors il est utilisé. Habituellement, il est utilisé pour voir le résultat lors de la simulation. Il peut également être utilisé dans la mise en page de débogage en vérifiant le comportement d'un nœud particulier.

Vous pouvez voir quelques autres touches. Nous viendrons à eux et quand nous les utiliser.

La prochaine série d'outils de la palette doivent être utilisés d'une manière légèrement différente. Par exemple, si vous avez besoin d'une couche de silicium poly cristallin, puis cliquez sur icône rouge avec poly silicium écrit sur elle (Ils étaient un peu attentif à faire cette faveur à nous J). Venez à la zone principale (Noir: Substrat) maintenez le bouton gauche de la souris, déplacez la souris en maintenant le bouton gauche. Ahem, beaucoup plus facile que MS Paint. (Essayez-le maintenant).

5. L'métal 1 Layer. Lorsque vous avez besoin de donner connexion métallique entre deux parties différentes de la mise en page, utilisez cette option. S'il vous plaît noter que lorsque vous dessinez la couche de métal sur un poly silicium dire, il ne reçoit pas connecté (ci-jointe) automatiquement. Vous devez utiliser un contact approprié pour ce faire. Le schéma suivant illustre différents contacts.

6. Poly silicium. Blague assez. Son simple.

7. Diffusion P +. Le substrat que nous utilisons ici est P-substrat (couleur noir). Nous sommes censés. Sous N-ail à bien. Vous pouvez dessiner diffusion P + premier, mais stipulé qu'un

Surrey couvrir avec N-bien. Le signe «+» indique qu'il est supérieur à celui du substrat dopé P. Je recommande dessin sur le dessus. Il ne sera pas marquer une différence là où un tirage au sort, mais elle augmente Comprendre-Capacité du circuit. Suivez la Convention partout.

8. Diffusion N +. Je suggère le dessin dans le fond. Son sperme même P +. Mais il n'a pas besoin de tout bien. Vous pouvez simplement placer sur substrat P (Pourquoi? :))

9. Beaucoup discuté Le N est bien prêt à être tiré maintenant! (Enfin). Vous pouvez posez-le sur P + diffusion. Surrey marqué qu'il entoure complètement. [21] [22]

III-4. Conclusion

Dans cette partie, nous avons exploité le simulateur « Microwind » et les parties de ce programme, pour faire la conception des circuits et on plus faire la simulation par le Microwind.

IV-1. Introduction

Un oscillateur est un système instable à une fréquence donnée. En cela il contrarie l'attention apportée à la stabilité dans l'étude des systèmes. En d'autres termes cette instabilité fait qu'il délivre spontanément une tension sinusoïdale sans aucune sollicitation extérieure. On dit qu'il oscille. Notons que le réseau de distribution en énergie électrique à 50 Hz n'a pas pour origine un oscillateur mais un système (machine tournante) obéissant à une entrée sinusoïdale (rotation d'inducteurs). En revanche un onduleur est un oscillateur.

IV-2. Généralités sur les oscillateurs

Un oscillateur est un système auto-entretenu capable de générer un signal temporellement périodique. Ce signal est caractérisé principalement par sa fréquence centrale f_0 , exprimée en Hertz (Hz).

Il existe, en électronique, principalement deux sortes d'oscillateurs.

1-L'oscillateur à relaxation

L'oscillateur à relaxation produit des signaux qui peuvent prendre deux états au cours du temps (la durée de transition entre ces deux états étant très courte).

2-L'oscillateur quasi sinusoïdal

On parle d'oscillateur quasi-sinusoïdal plutôt que d'oscillateur sinusoïdal car en raison de la nature même des composants électroniques, un tel oscillateur est impossible à réaliser. En effet, la représentation spectrale des signaux délivrés par cet oscillateur comporte des harmoniques.

Il existe deux grandes familles d'oscillateurs harmoniques : les Oscillateurs à résistance négative et les oscillateurs bouclés. C'est ce dernier type d'oscillateur qui nous intéresse ici.

On peut le modéliser comme suit :

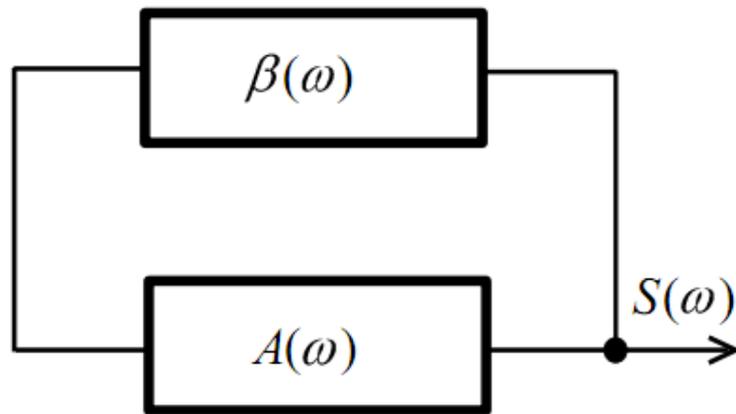


Figure. IV.1.Modélisation d'un oscillateur bouclé.

$S(\omega)$: la transformée de Fourier du signal de sortie $s(t)$,

$A(\omega)$: la transformée de Fourier de la chaîne directe, ici constituée d'un amplificateur

$\beta(\omega)$: la transformée de Fourier de la boucle de réaction.

IV-3. Modélisation des oscillateurs

On modélise souvent un oscillateur par le système bouclé représenté sur la Figure IV-2. Il est composé d'une partie active du circuit (l'élément de gain) et d'un élément passif (le résonateur) bouclé par une contre-réaction positive qui réinjecte une partie du signal de la sortie à l'entrée [23] [24].

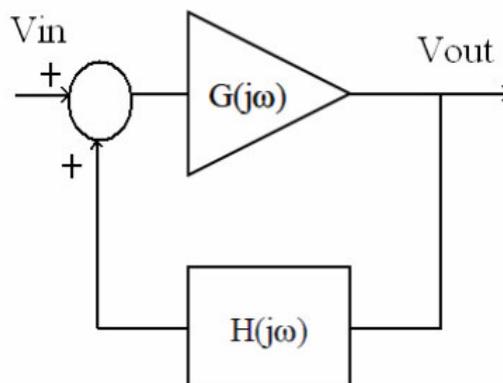


Figure. IV.2.La boucle fermée d'un oscillateur.

La fonction de transfert est donnée par l'équation suivante :

$$A(j\omega) = \frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{G(j\omega)}{1 - G(j\omega) \cdot H(j\omega)} \quad (IV.1)$$

où $A(j\omega)$ est le gain en boucle fermée, $G(j\omega)$ le gain en boucle ouverte de l'amplificateur et $H(j\omega)$ est la fonction de transfert de réseau de rétroaction.

Pour déterminer les conditions d'oscillation. On va étudier le système en boucle ouverte. Le schéma de la boucle ouverte est présenté Figure IV-3.

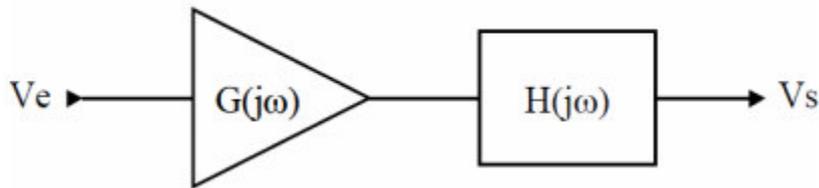


Figure. IV.3. La boucle ouverte d'un oscillateur.

La fonction de transfert en boucle ouverte est :

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)} = G(j\omega) \cdot H(j\omega) \quad (IV.2)$$

Pour que le système oscille en régime établi, il faut que $V_{out}(j\omega) = V_{in}(j\omega)$. Il faut donc que $G(j\omega) \cdot H(j\omega) = 1$. Cela revient donc à satisfaire les conditions suivantes appelées critères de Barkhausen.

$$\begin{cases} |G(j\omega) \cdot H(j\omega)| = 1 \\ \text{Arg}\{G(j\omega) \cdot H(j\omega)\} = 0[2k\pi] \quad k \in \mathbb{N} \end{cases} \quad (IV.3)$$

Les oscillations peuvent démarrer si le gain de la partie active $G(j\omega)$ est supérieur au gain de la fonction de transfert du résonateur $H(j\omega)$ et croître indéfiniment en théorie.

Ce phénomène se traduit par $|G(j\omega) \cdot H(j\omega)| > 1$. Le démarrage des oscillations nécessite en pratique un transfert d'énergie entre les différents éléments du circuit. Or celui-ci est originellement dans un puits de stabilité et c'est donc le bruit intrinsèque des composants qui déséquilibre le dispositif. Le bruit est ensuite amplifié par le gain de la boucle et l'oscillation peut alors démarrer. Grâce à un schéma petit signal du circuit, on peut déterminer le gain (minimal) utile à l'entretien des oscillations. Il suffit ensuite de concevoir un circuit d'entretien avec un gain légèrement supérieur à cette valeur pour démarrer les oscillations. Dans la pratique, il est préférable de dimensionner la partie active de l'oscillateur afin d'obtenir un gain au moins trois fois supérieur au gain minimal pour assurer le démarrage afin de compenser les non-linéarités présentes dans le circuit, [24].

IV-4. Les types d'oscillateurs

Il y a quatre types d'oscillateurs sont :

- Les oscillateurs à portes
- Les oscillateurs à quartz (XO)
- Les oscillateurs à résonateur LC
- Les oscillateurs à relaxation

IV-4-1. Les oscillateurs à portes

IV-4-1-1. Les oscillateurs en anneau

Ce type de structure est basé sur N cellules (des inverseurs principalement) connectées en anneau. La période des oscillations est égale à $T_{osc} = 2 \cdot N \cdot \tau$ où N est le nombre d'étages dans l'anneau et τ est le délai de la cellule.

Il existe principalement deux structures d'oscillateurs en anneau. La première consiste à cascader les inverseurs CMOS comme le montre la Figure IV-4. Dans ce cas, le nombre d'étages N doit être impair.

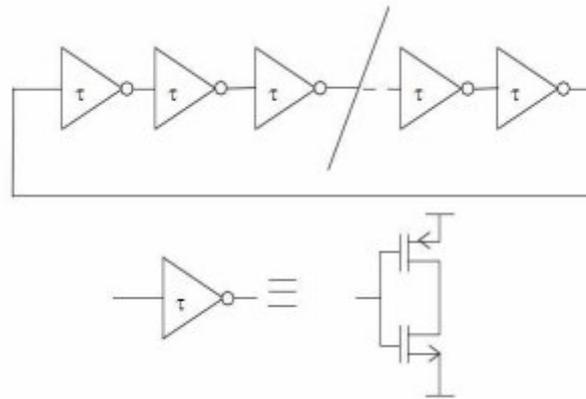


Figure. IV.4. Structure de l'oscillateur en anneau.

Le déphasage entre les signaux de sortie de chaque étage est égal à $\Delta\Phi = 2\pi/N$. Plus on a besoin de phases de sortie, plus on ajoute d'inverseurs. En augmentant le nombre d'étages, on diminue la fréquence maximale de l'oscillateur.

La deuxième structure dite différentielle basée également sur le principe de mise en cascade de N cellules (N pair ou impair ici) de retard avec une inversion dans la boucle comme le montre le schéma de la Figure IV-5.

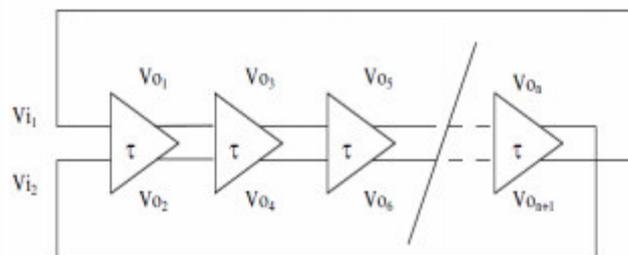


Figure. IV.5. Structure de l'oscillateur en anneau différentiel.

Ce type d'oscillateur est surtout utilisé dans des applications numériques en tant qu'horloge de cadencement ou pour des applications qui nécessitent beaucoup de phases. Leur restriction d'utilisation est principalement due à des performances en bruit de phase très inférieures aux exigences des standards de communications sans fil. Cependant leur surface sur silicium est très faible. Ce type d'oscillateur est surtout utilisé dans des applications

numériques en tant qu'horloge de cadencement ou pour des applications qui nécessitent beaucoup de phases. Leur restriction d'utilisation est principalement due à des performances en bruit de phase très inférieures aux exigences des standards de communications sans fil. Cependant leur surface sur silicium est très faible.

IV-5. Domaines d'application

Les oscillateurs sont des composants essentiels dans les systèmes électroniques.

Ils interviennent dans de nombreux domaines d'application :

Les télécommunications, Les systèmes radar, L'instrumentation, Les systèmes de navigation

La métrologie, L'informatique et La militaire

Dans toutes ces applications, les oscillateurs servent à générer un signal de référence qui servira de base de temps. Ce signal permettra le traitement de l'information. Dans les systèmes de télécommunications, le signal généré par l'oscillateur peut servir à la modulation et à la démodulation de l'information à transmettre. En instrumentation, on comparera le signal à traiter au signal de référence délivré par un oscillateur. En informatique les oscillateurs servent à cadencer le transport de l'information.

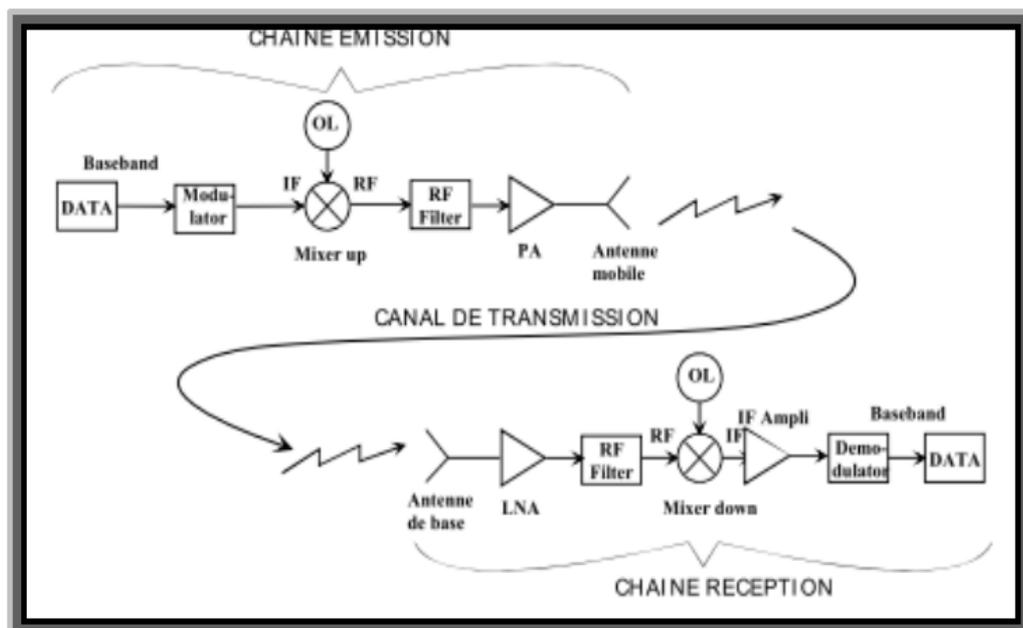


Figure. IV.6.Exemple d'utilisation d'oscillateur. [25]

IV-6. Résultats et discussions

IV-6-1. Circuit

Le circuit résonateur à 3 inverseurs est représenté par son schéma symbolique, schéma électrique, masque (layout) et sa coupe 3D sont réalisés par le simulateur, Dsch, Microwind et Microwind 3D sur les figures IV-7, IV-8, IV-9 et IV-10.

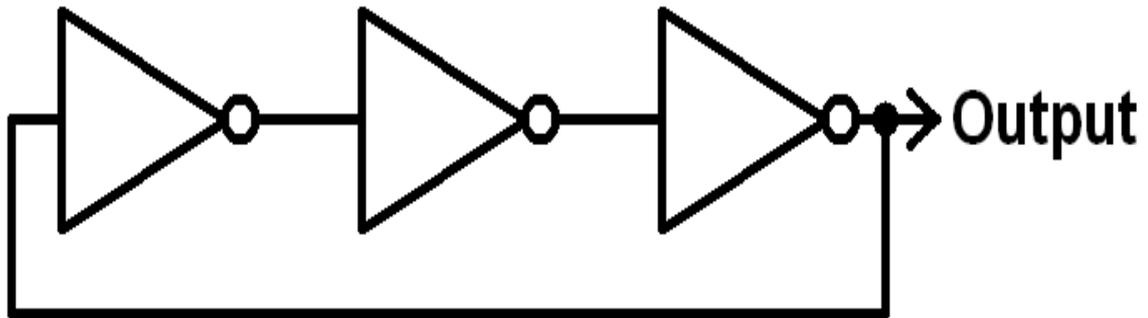


Figure. IV.7. Schéma symbolique de Résonateur à 3 inverseurs.

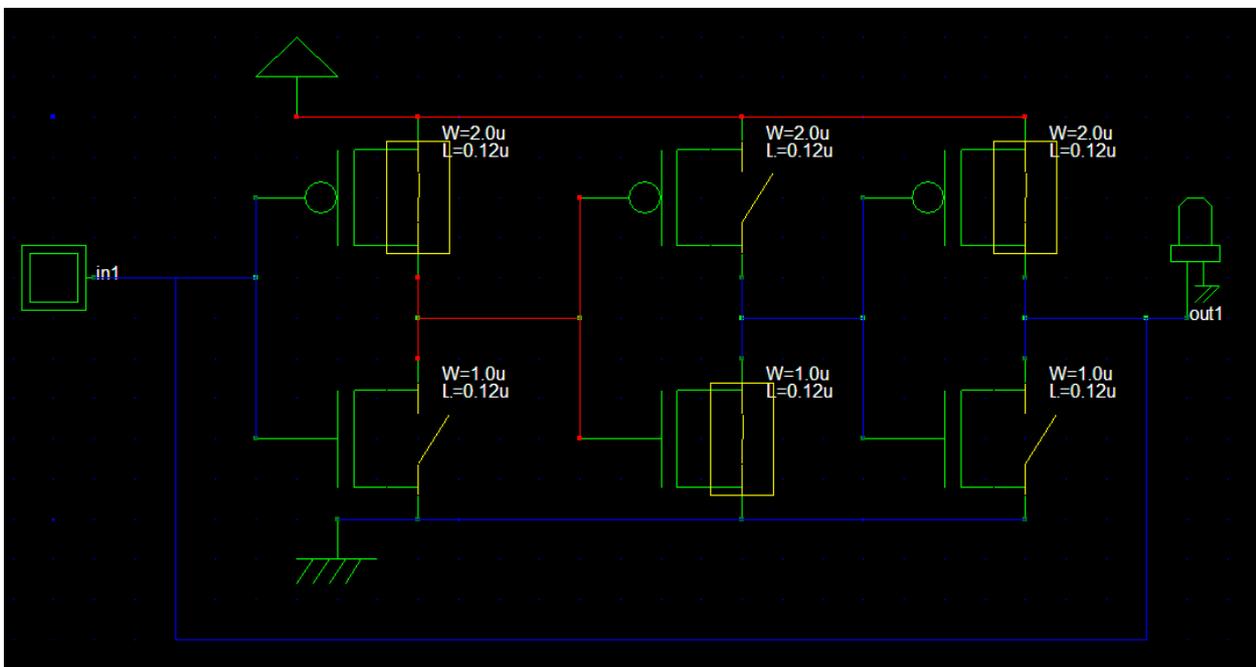


Figure. IV.8. Schéma électrique de Résonateur à 3 inverseurs par Dsch.

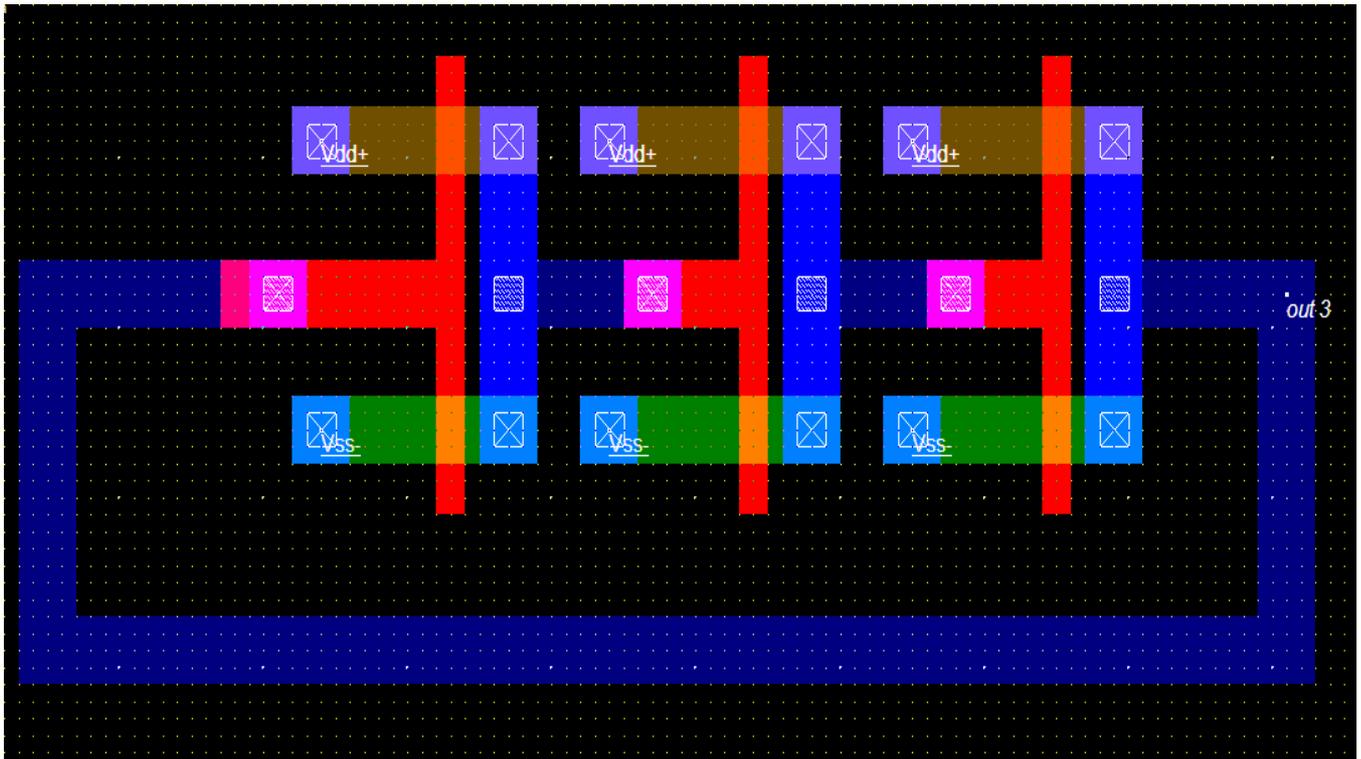


Figure. IV.9.Schéma masque (layout) de Résonateur à 3 inverseurs par Microwind.

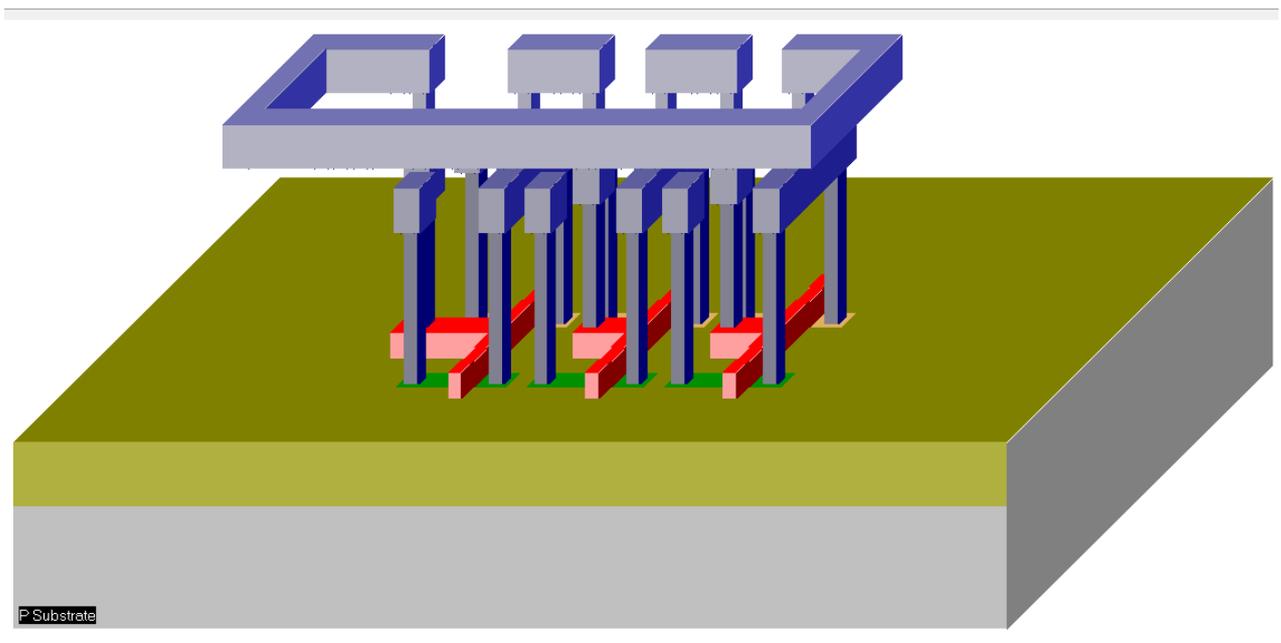


Figure. IV.10.Schéma résonateur à 3 inverseurs par Microwind 3D.

IV-6-2. Simulation

-Les tableaux et les figures suivant sont représentés la variation de fréquence par rapport a la variation des dimensions W et L (W/L) pour plusieurs technologies

Technologie 0.6 μm

On varie la longueur W et on fixe la largeur L

(a) W=1.2 (μm) L=0.6 , 0.9 , 1.2 (μm)

w/l	1.0	1.33	2.0
F (GHz)	1.54	1.75	1.95

(b) W=1.8 (μm) L=0.6 , 0.9 , 1.2 (μm)

w/l	1.5	2.0	3.0
F (GHz)	1.53	1.75	1.95

(c) W=2.4 (μm) L=0.6 , 0.9 , 1.2 (μm)

w/l	2.0	2.66	3.0
F (GHz)	1.53	1.74	1.95

(d) W=3(μm) L=0.6 , 0.9 , 1.2 (μm)

w/l	2.5	3.33	5.0
F (GHz)	1.52	1.74	1.94

Tableau. IV.1.La fréquence de résonateur en facteur de la variable de rapport W/L

(a)W=1.2 μm , (b) W=1.8 μm , (c)W=2.4 μm , (d) W=3 μm a technologie0.6 μm .

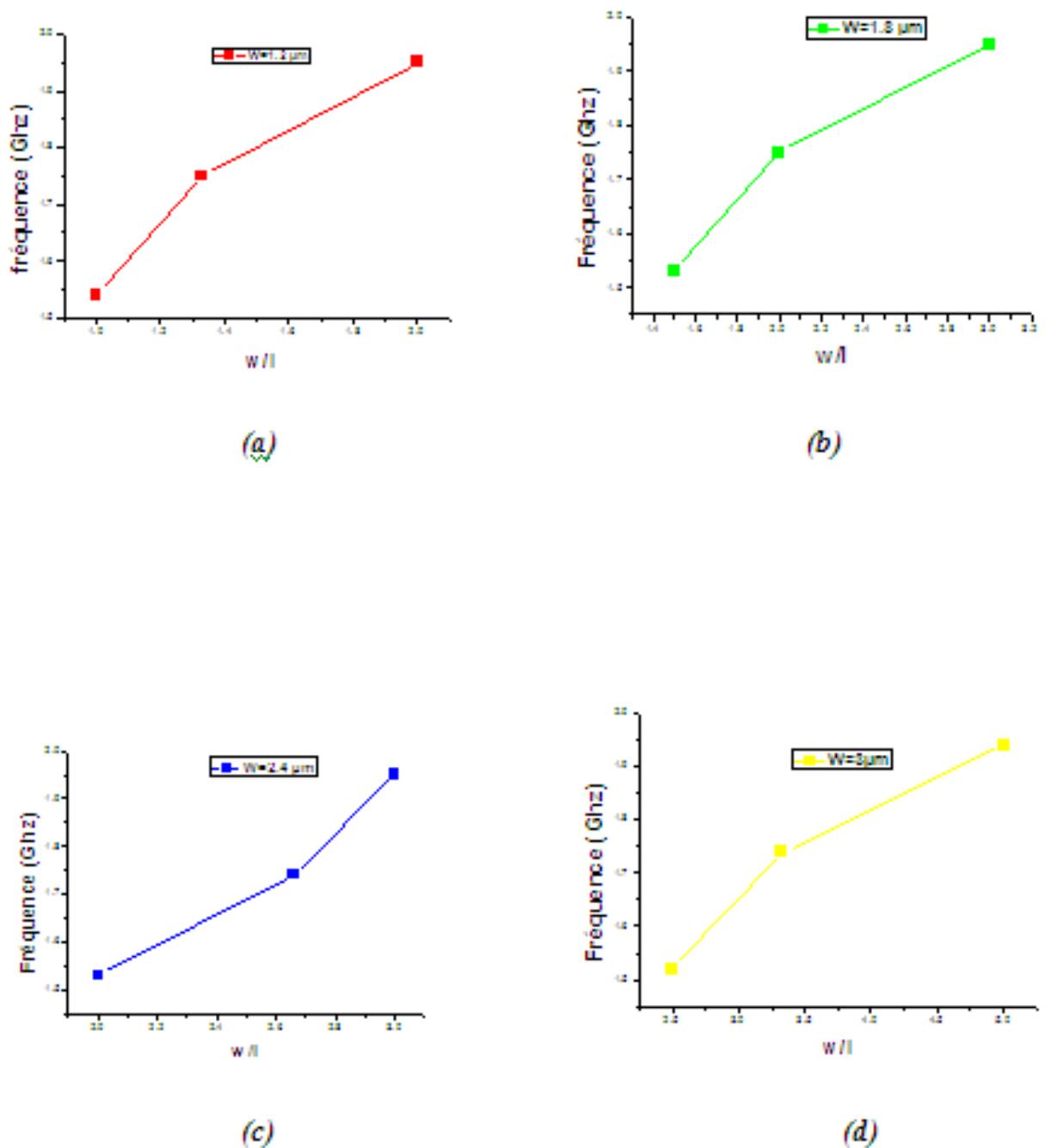


Figure. IV.11. La variation de fréquence en termes de rapport w/l avec W fixe et L varia
(a) $W=1.2 \mu\text{m}$, (b) $W=1.8 \mu\text{m}$, (c) $W=2.4 \mu\text{m}$, (d) $W=3 \mu\text{m}$ a technologie $0.6 \mu\text{m}$.

Technologie 0.8 μm

Ce le même a technologie 0.8 μm On varie la longueur W et on fixe la largeur L

(a) W=1.6 μm L= 0.8 , 1.2 , 1.6 , 2.0(μm)

w/l	0.8	1.0	1.33	2.0
F (GHz)	0.71	0.88	1.02	1.15

(b) W=2.4 μm L= 0.8 , 1.2 , 1.6 , 2.0(μm)

w/l	1.2	1.5	2.0	3.0
F (GHz)	0.7	0.88	1.02	1.14

(c) W=3.2 μm L= 0.8 , 1.2 , 1.6 , 2.0(μm)

w/l	1.6	2.0	2.66	4.0
F (GHz)	0.7	0.87	1.02	1.14

(d) W=4 μm L= 0.8 , 1.2 , 1.6 , 2.0(μm)

w/l	2.0	2.5	3.33	5.0
F (GHz)	0.69	0.87	1.01	1.14

Tableau. IV.2. La fréquence de résonateur en facteur de la variable de rapport W/L

(a)W=1.6 μm , (b) W=2.4 μm , (c)W=3.2 μm , (d) W=4 μm a technologie0.8 μm .

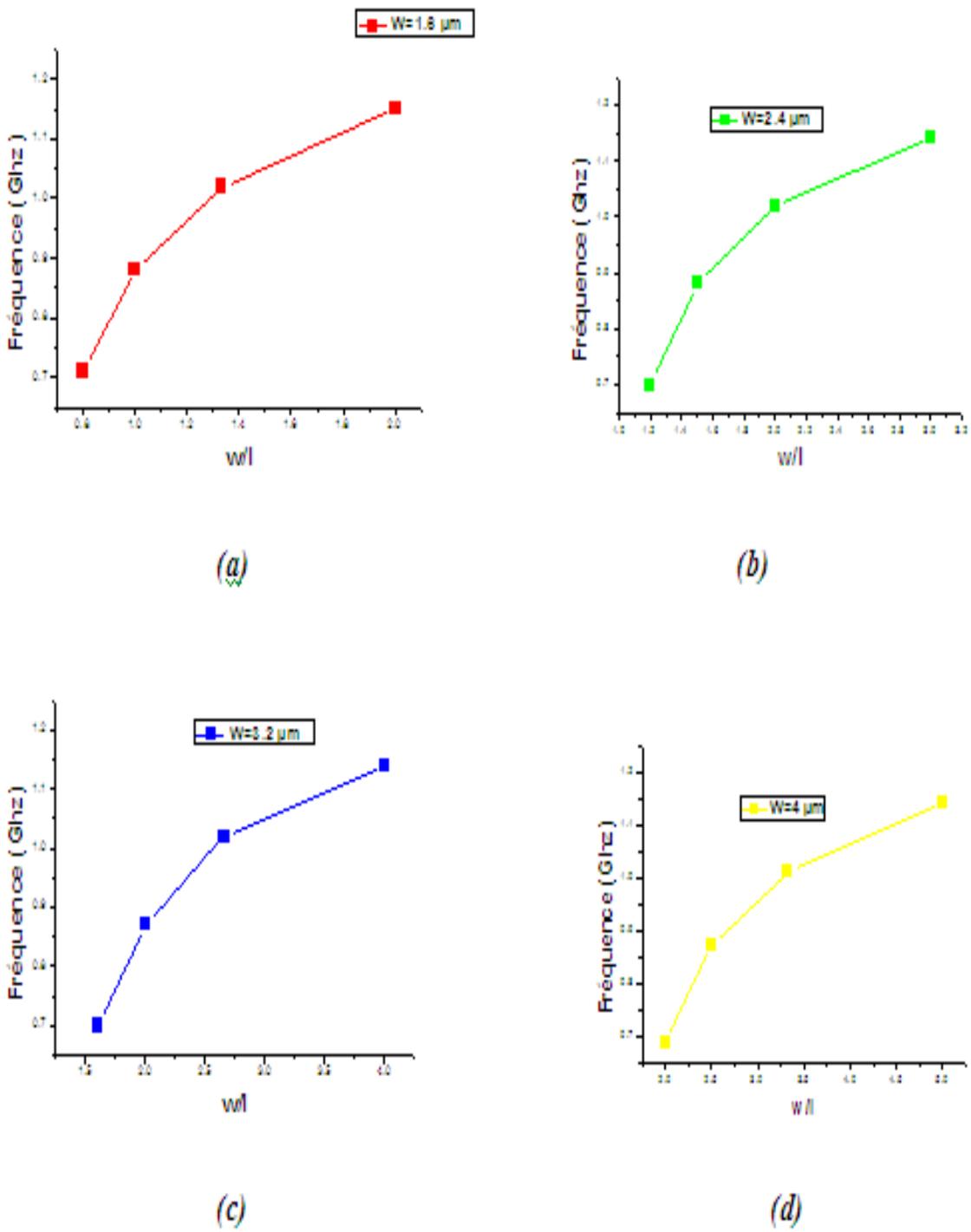


Figure. IV.12. La variation de fréquence en termes de rapport w/l avec W fixe et L varia (a) $W=1.6 \mu\text{m}$, (b) $W=2.4 \mu\text{m}$, (c) $W=3.2 \mu\text{m}$, (d) $W=4 \mu\text{m}$ a technologie $0.8 \mu\text{m}$.

Technologie 0.12 μm

On technologie 0.12 μm aussi on varie la longueur W et on fixe la largeur L

(a) W= 0.24 μm L= 0.12 , 0.18 , 0.24(μm)

w/l	1.0	1.4	2.0
F (GHz)	9.89	15.95	28.25

(b) W= 0.36 μm L= 0.12, 0.18, 0.24(μm)

w/l	1.5	2.0	3.0
F (GHz)	9.80	15.65	27.78

(c) W= 0.48 μm L= 0.12 , 0.18 , 0.24(μm)

w/l	2.0	2.66	4.0
F (GHz)	9.80	15.43	27.32

(d) W= 0.60 μm L= 0.12 , 0.18 , 0.24(μm)

w/l	2.5	3.33	5.0
F (GHz)	9.55	15.15	27.10

Tableau. IV.3. La fréquence de résonateur en fonction de la variable de rapport W/L

(a)W=0.24 μm , (b) W=0.36 μm , (c)W=0.48 μm , (d) W=0.60 μm a technologie0.12 μm .

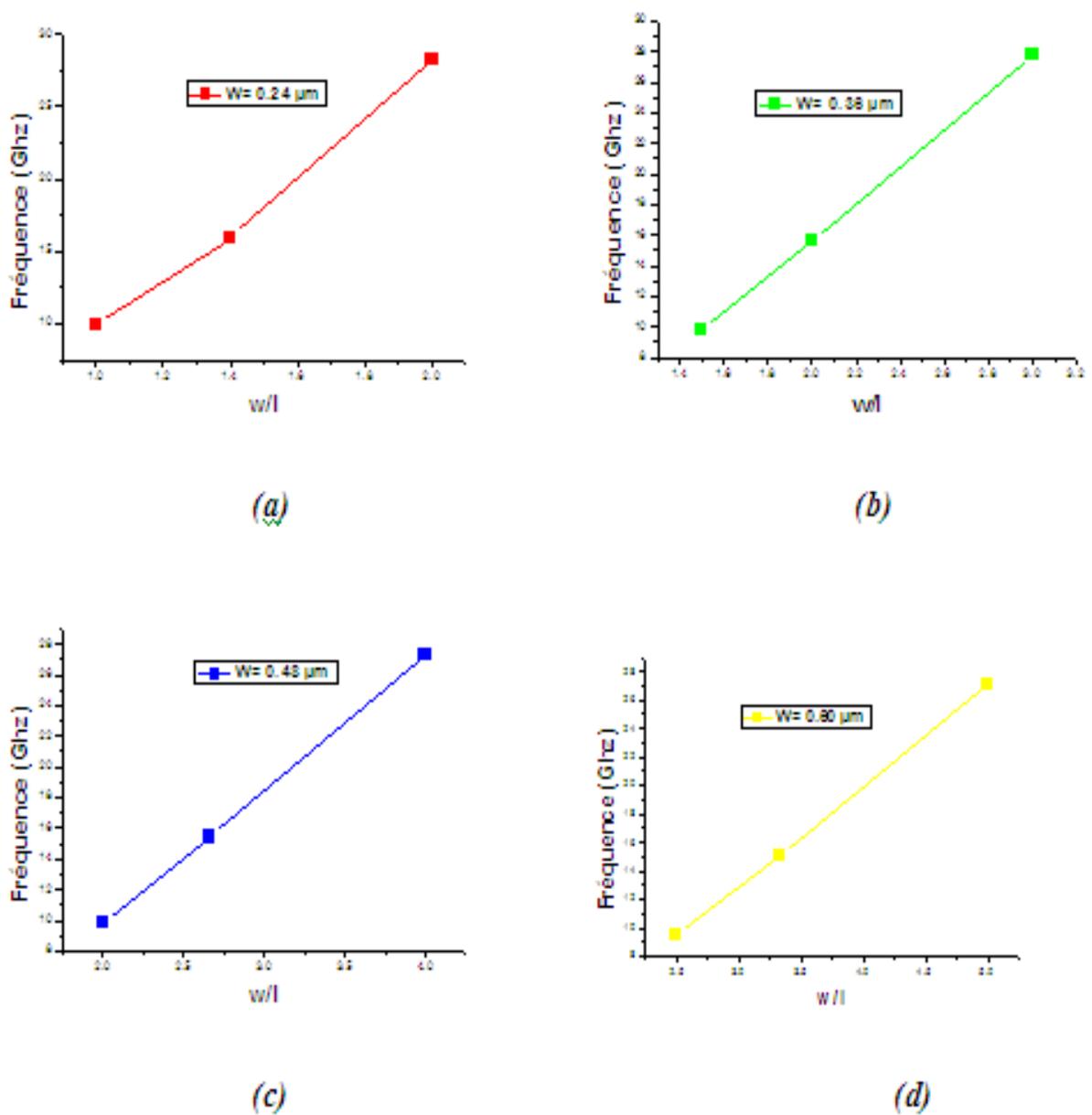


Figure. IV.13. La variation de fréquence en termes de rapport w/l avec W fixe et L varia
 (a) $W=0.24 \mu\text{m}$, (b) $W=0.36 \mu\text{m}$, (c) $W=0.48 \mu\text{m}$, (d) $W=0.60 \mu\text{m}$ a technologie $0.12 \mu\text{m}$.

Technologie 1.2 μm

Aussi on varie la longueur W et on fixe la largeur L que le même

(a) $W = 2.4 \mu\text{m}$ $L = 0.12, 0.18, 0.24(\mu\text{m})$

w/l	0.8	1.33	2.0
F (GHz)	0.32	0.66	1.12

(b) $W = 3.6 \mu\text{m}$ $L = 0.12, 0.18, 0.24(\mu\text{m})$

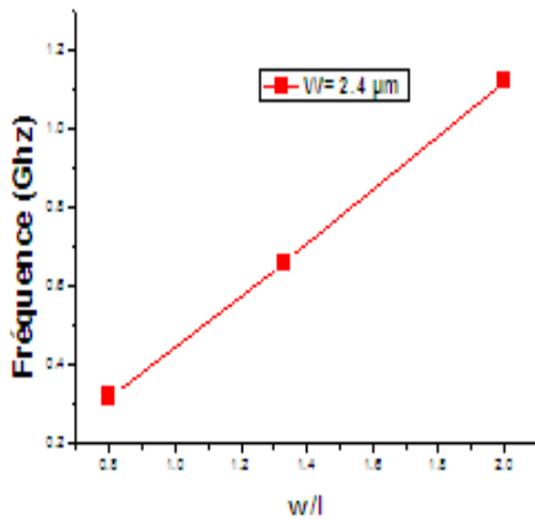
w/l	1.2	2.0	3.0
F (GHz)	0.32	0.65	1.10

(c) $W = 4.8 \mu\text{m}$ $L = 0.12, 0.18, 0.24(\mu\text{m})$

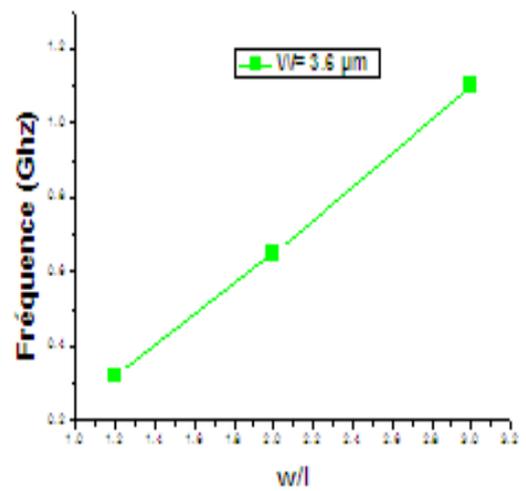
w/l	1.2	2.0	3.0
F (GHz)	0.31	0.65	1.08

Tableau. IV.4. La fréquence de résonateur en fonction de la variable de rapport W/L

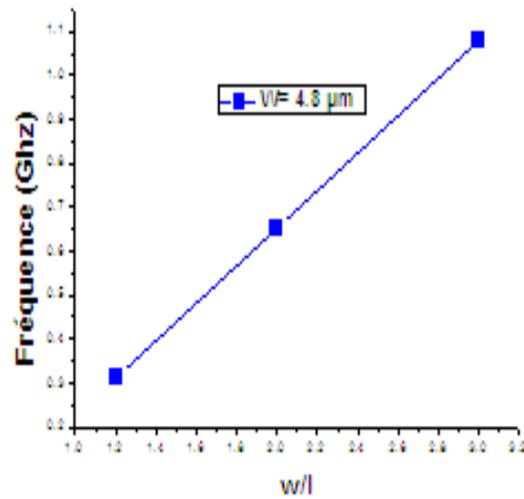
(a) $W = 2.4 \mu\text{m}$, (b) $W = 3.6 \mu\text{m}$, (c) $W = 4.8 \mu\text{m}$ a technologie 1.2 μm .



(a)



(b)



(c)

Figure. IV.14. La variation de fréquence en termes de rapport w/l avec W fixe et L varia (a) $W = 2.4 \mu\text{m}$, (b) $W = 3.6 \mu\text{m}$, (c) $W = 4.8 \mu\text{m}$ a technologie $1.2 \mu\text{m}$.

Technologie 0.18 μm

Comme les autres technologies on varie la longueur W et on fixe la largeur L

(a) W= 0.4 μm L= 0.2 , 0.3 , 0.4 (μm)

w/l	1.0	1.33	2.0
F (GHz)	4.49	7.09	12.66

(b) W= 0.6 μm L= 0.2 , 0.3 , 0.4 (μm)

w/l	1.5	2.0	3.0
F (GHz)	4.47	7.04	12.58

(c) W= 0.8 μm L= 0.2 , 0.3 , 0.4 (μm)

w/l	1.5	2.0	4.0
F (GHz)	4.46	7.02	12.50

Tableau. IV.5. La fréquence de résonateur en facteur de la variable de rapport W/L

(a)W=0.4 μm , (b) W=0.6 μm , (c)W=0.8 μm a technologie0.18 μm .

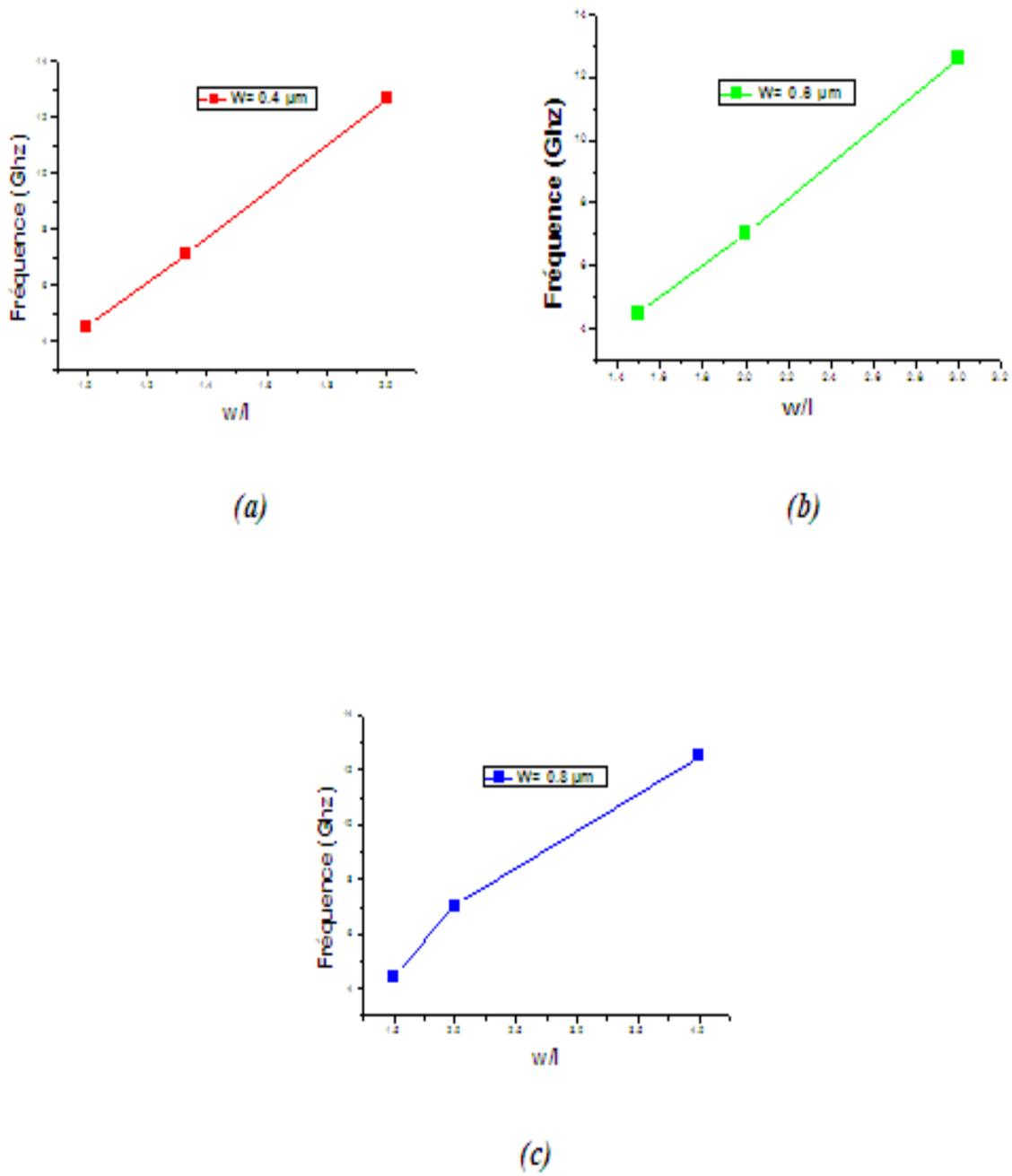


Figure. IV.15. La variation de fréquence en termes de rapport w/l avec W fixe et L varia
(a) $W=0.4 \mu\text{m}$, (b) $W=0.6 \mu\text{m}$, (c) $W=0.8 \mu\text{m}$ a technologie $0.18 \mu\text{m}$.

Technologie 45 nm

Technologie 45nm comme les autres technologies on varie la longueur W et on fixe la largeur L

(a) W= 0.1 μm L= 0.05 , 0.075 , 0.125(μm)

w/l	0.8	1.33	2.0
F (GHz)	72.46	82	101.01

(b) W= 0.15 μm L= 0.05 , 0.075 , 0.125(μm)

w/l	1.2	2.0	3.0
F (GHz)	72.45	81.89	100.71

(c) W= 0.25 μm L= 0.05 , 0.075 , 0.125(μm)

w/l	2.0	3.33	5.0
F (GHz)	72.42	81.85	100.67

Tableau. IV.6. La fréquence de résonateur en fonction de la variable de rapport W/L

(a)W=0.1 μm , (b) W=0.15 μm , (c)W=0.25 μm a technologie 45nm.

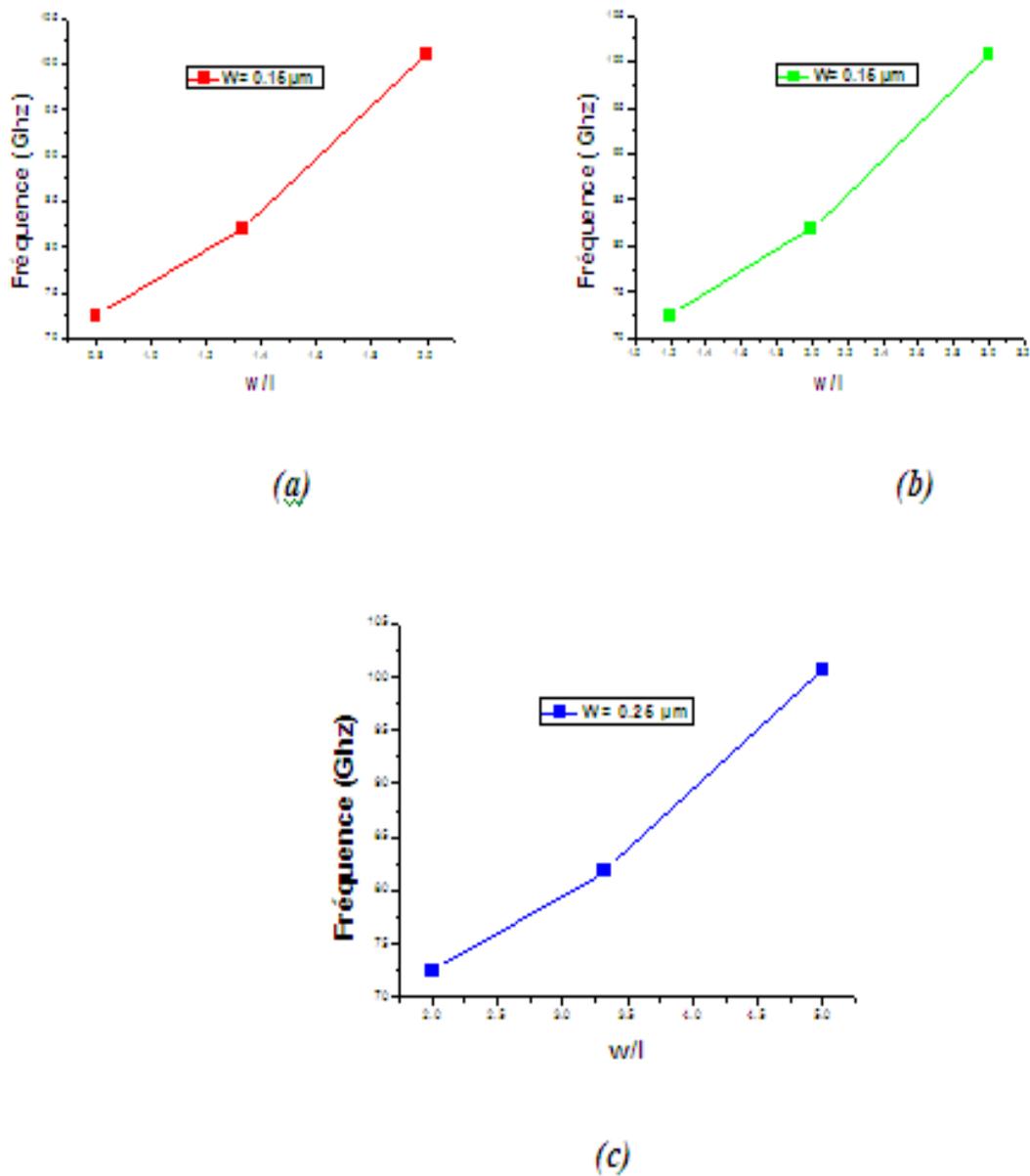


Figure. IV.16. La variation de fréquence en termes de rapport w/l avec W fixe et L varia
(a) $W=0.1 \mu\text{m}$, (b) $W=0.15 \mu\text{m}$, (c) $W=0.25 \mu\text{m}$ a technologie 45nm.

Technologie 90 nm

Le même comme les autres technologies

(a) $W=0.2 \mu\text{m}$ $L=0.15, 0.25, 0.35(\mu\text{m})$

w/l	0.57	0.8	3.33
F (GHz)	6.55	14.04	33.11

(b) $W=0.3 \mu\text{m}$ $L=0.15, 0.25, 0.35(\mu\text{m})$

w/l	0.85	1.2	2.0
F (GHz)	6.55	14.03	33

(c) $W=0.5 \mu\text{m}$ $L=0.15, 0.25, 0.35(\mu\text{m})$

w/l	0.85	1.2	2
F (GHz)	6.54	13.99	32.79

Tableau. IV.7. La fréquence de résonateur en fonction de la variable de rapport W/L

(a) $W=0.2 \mu\text{m}$, (b) $W=0.3 \mu\text{m}$, (c) $W=0.5 \mu\text{m}$ a technologie 90nm.

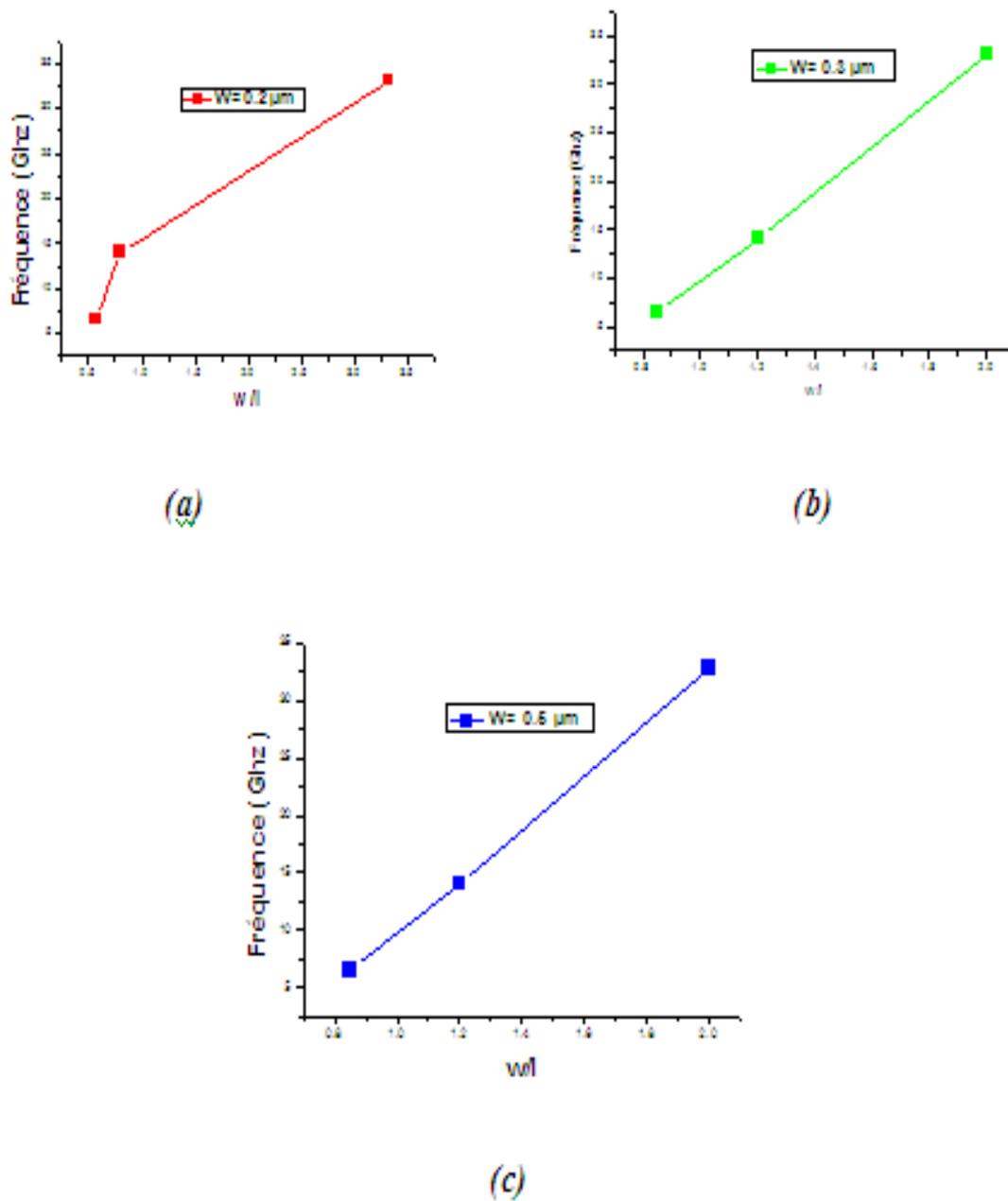


Figure. IV.17. La variation de fréquence en termes de rapport w/l avec W fixe et L varie (a) $W=0.2 \mu\text{m}$, (b) $W=0.3 \mu\text{m}$, (c) $W=0.5 \mu\text{m}$ a technologie 90nm.

-Dans le tableau IV.8, nous avons mesuré les changements et notons la fréquence de chaque technologie, et la figure IV.18 est représenté le changement de fréquence a chaque technologie.

Avec on fixe le rapport de $(W/L)=2$.

Technologie	Fréquence (GHz)
1.2 μm	1.12
0.8 μm	1.14
0.6 μm	1.94
0.35 μm	3.55
0.25 μm	10.50
0.18 μm	12.66
0.12 μm	28.25
90 nm	62.11
65 nm	64.10
45 nm	101.01
32 nm	161.29

Tableau. IV.8.Fréquence en termes de technologie.

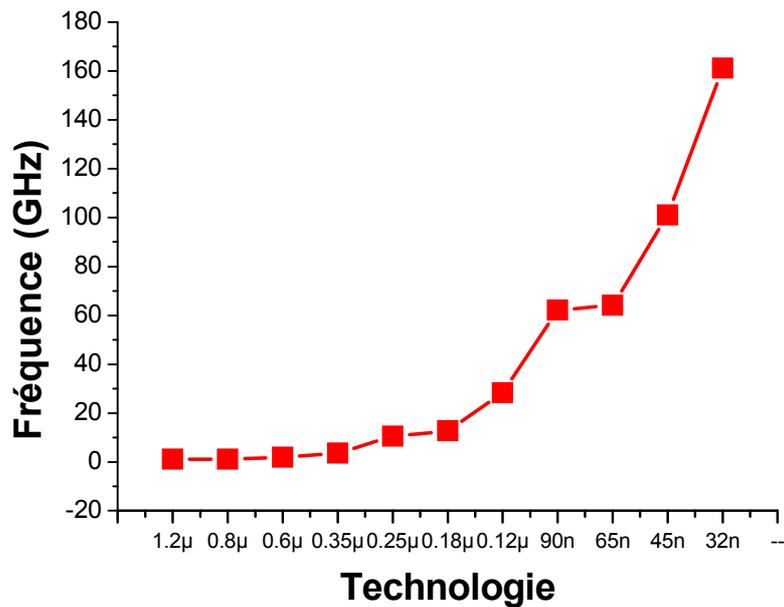


Figure. IV.18. La déférence de fréquence a chaque technologie.

IV-6-3. Signaux des sorties

Les figures (IV-19, IV-20, IV-21, IV-22 et IV-23) sont représentées les signaux des sorties de résonateur (out1 : signal de sortie inverseur n°1, out2 : signal de sortie inverseur n°2 et out3 : signal de sortie inverseur n°3) à chaque technologie.

Technologie 1.2 µm

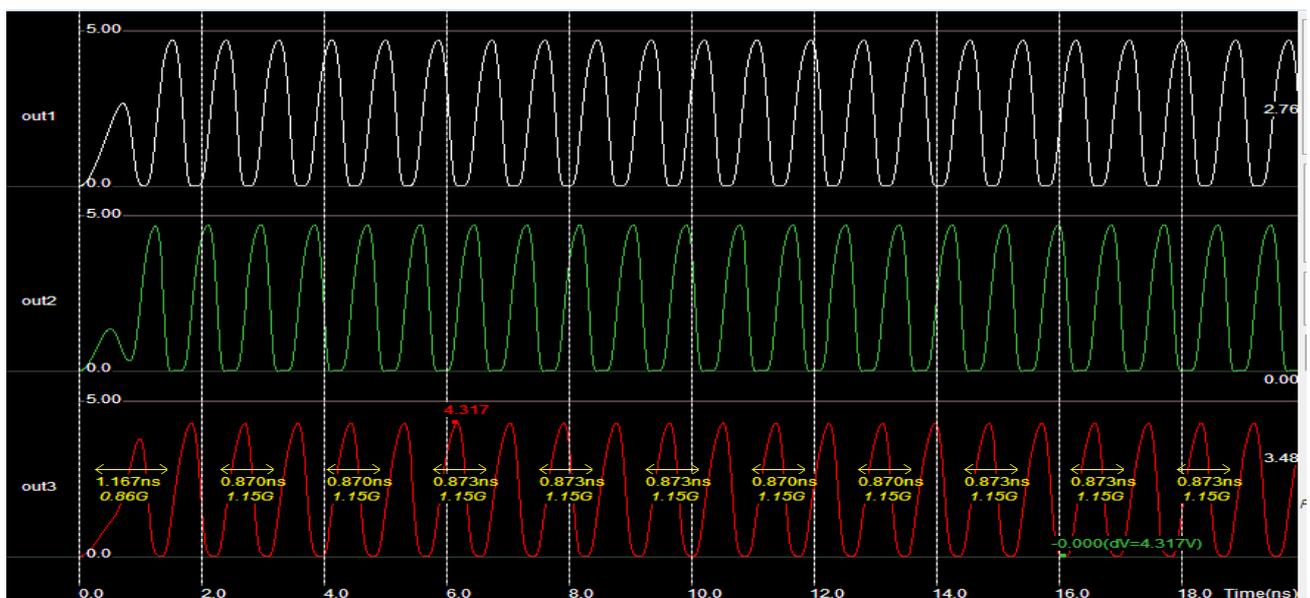


Figure. IV.19. signal de sortie de résonateur à technologie 1.2 µm.

Technologie 0.6 μm

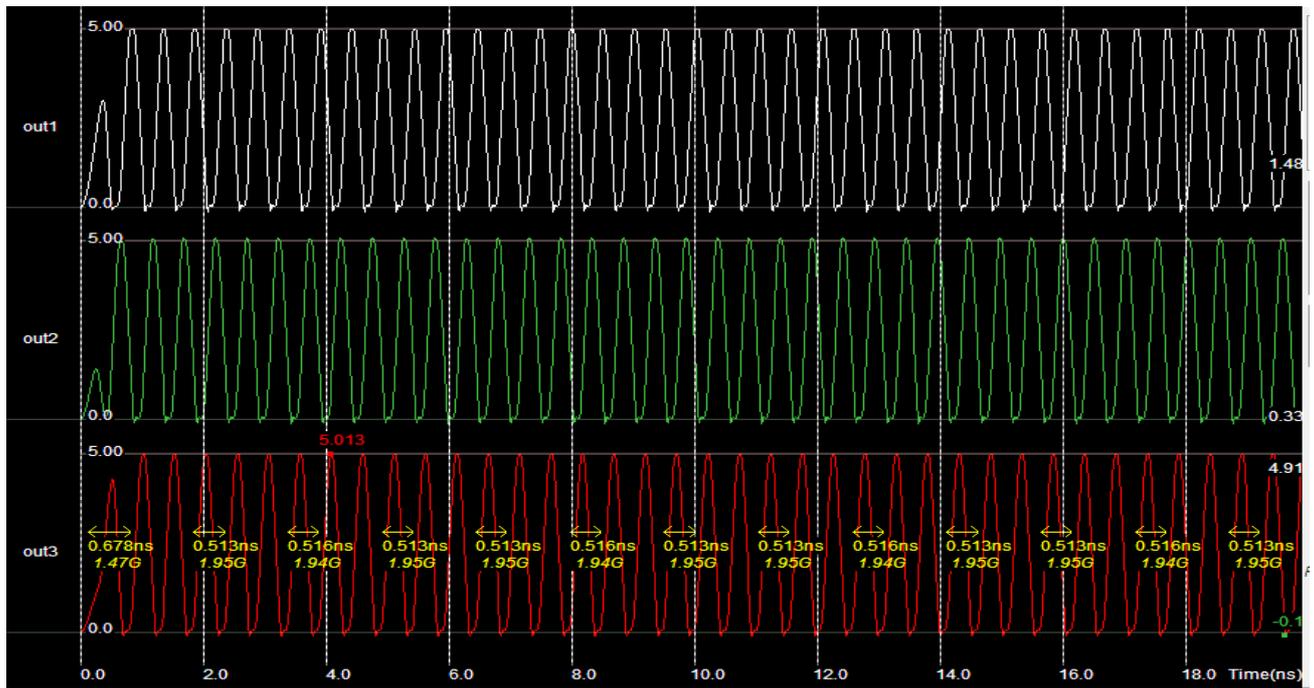


Figure. IV.20. signal de sortie de résonateur à technologie 0.6 μm .

Technologie 0.18 μm

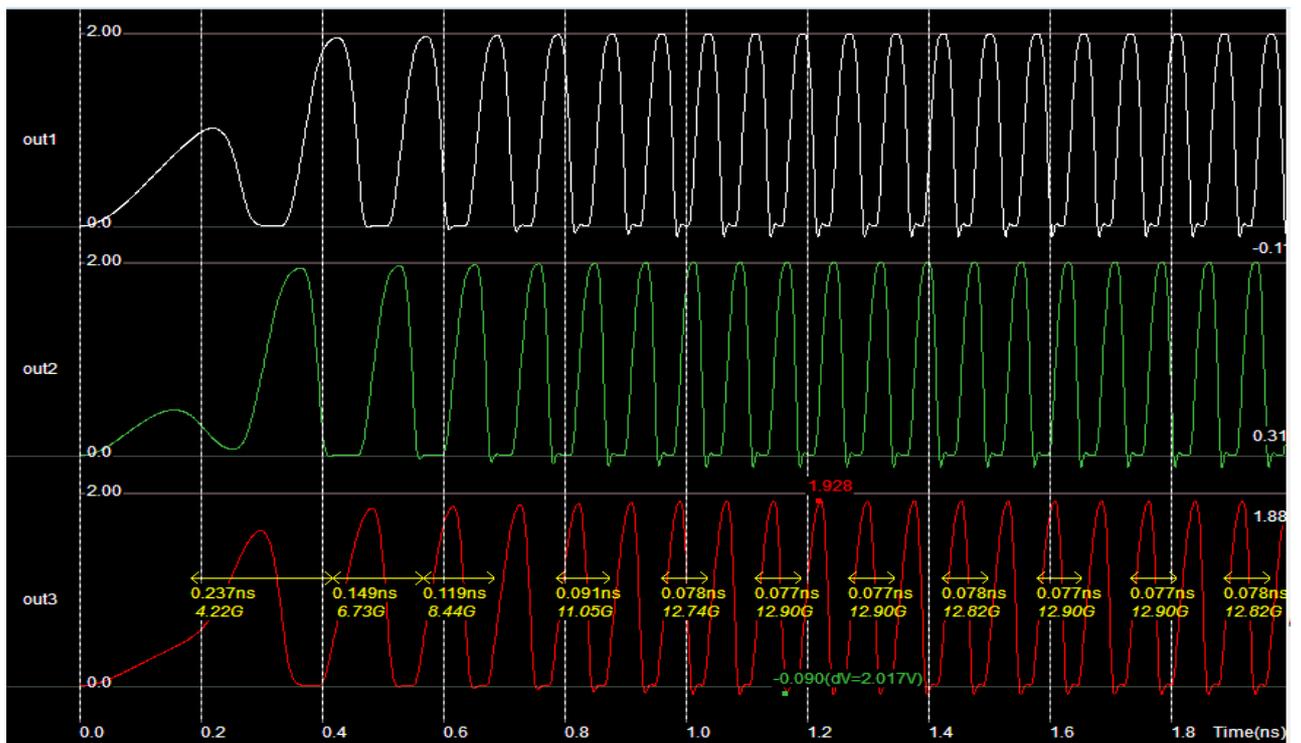


Figure. IV.21. signal de sortie de résonateur à technologie 0.18 μm .

Technologie 90 nm

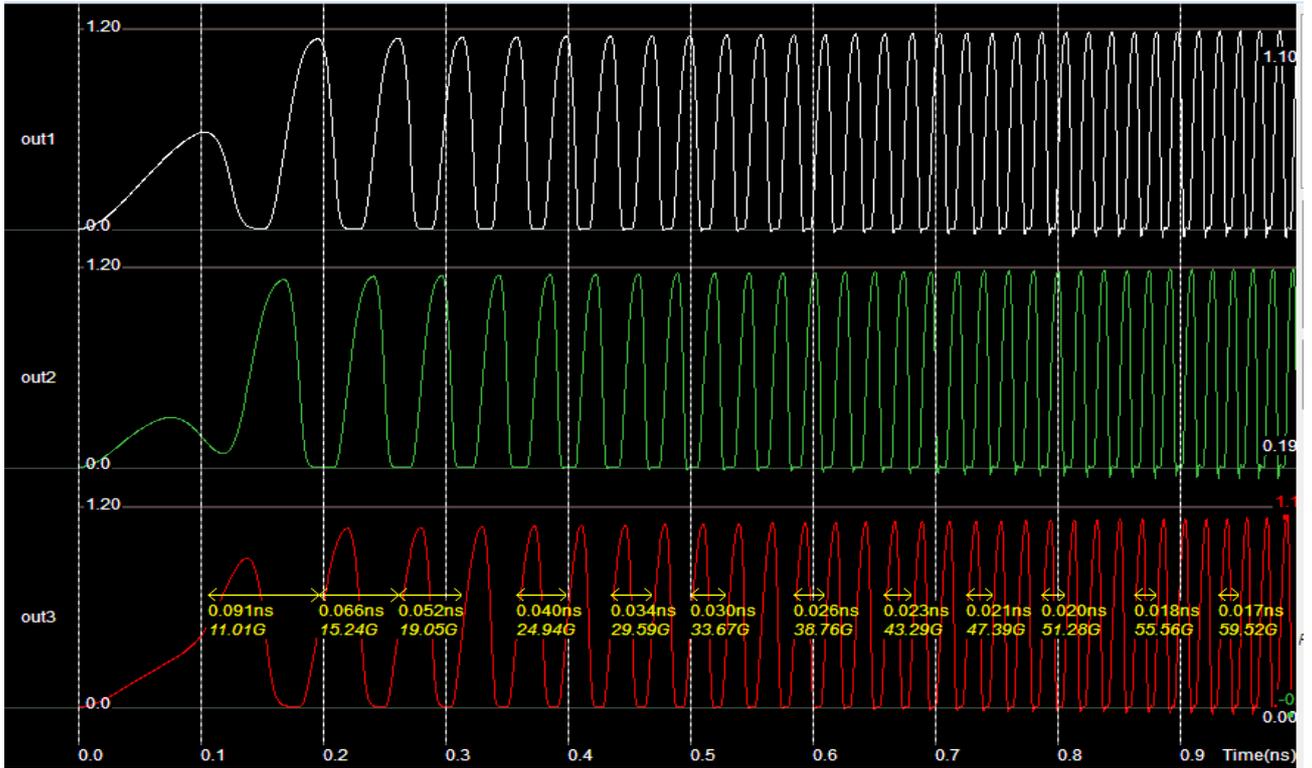


Figure. IV.22. signal de sortie de résonateur à technologie 90 nm.

Technologie 32 nm

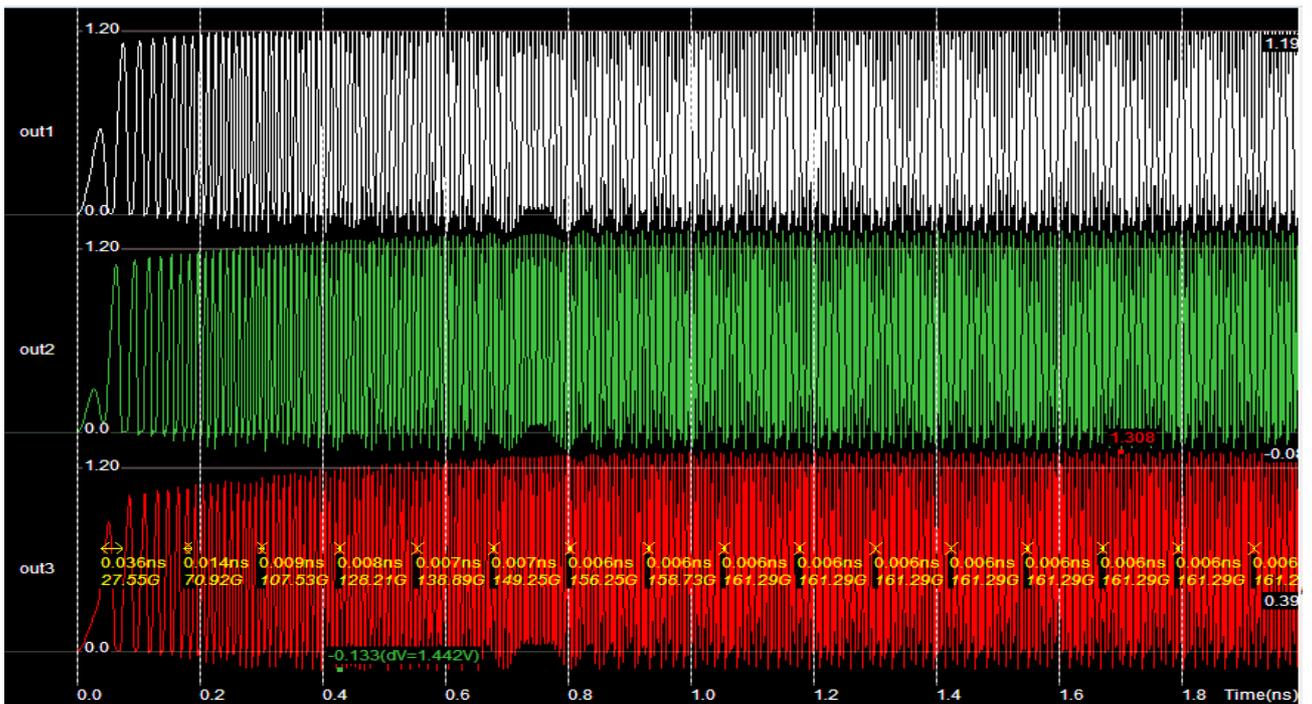


Figure. IV.23. signal de sortie de résonateur à technologie 32 nm.

-Dans le tableau suivant tableau (IV.9), on peut noter la variation de puissance à chaque technologie. Et la figure IV.24 est représenté la Puissance en termes de technologie.

Technologie (μm)	Puissance (mW)
1.2	2.946
0.8	2.537
0.6	2.321
0.35	1.425
0.25	0.980
0.18	0.486
0.12	0.208
90	0.073605
65	0.070564
45	0.008627
32	0.006357

Tableau. IV.9.Puissance en termes de technologie.

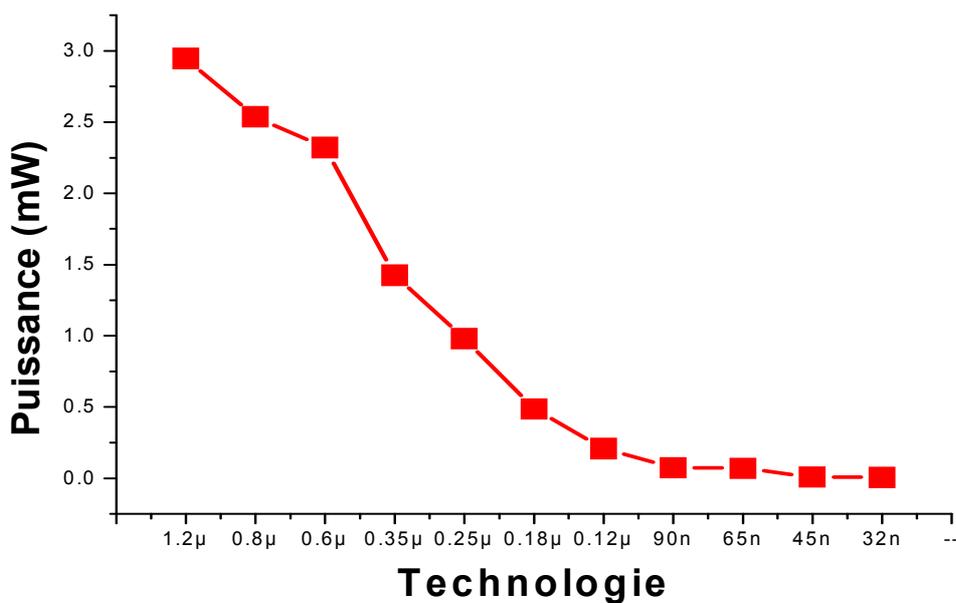


Figure. IV.24.La déférence de puissance a chaque technologie.

IV-6-4. Les résultats et interprétation

Les résultats sont résumés dans les tableaux et les figures ci-dessus

-A technologie 0.6 μm on remarque que la fréquence augmente quand la valeur du rapport w/l augmente, leur relation presque linéaire sur les 4 figures Fig IV.11.a, Fig IV.11.b, Fig IV.11.c, Fig IV.11.d.

- A technologie 0.8 μm comme on le remarque à technologie 0.6 on remarque que la valeur de la fréquence est diminuée et un petit changement sur la forme des 4 figures Fig IV.12.a, Fig IV.12.b, Fig IV.12.c, Fig IV.12.d.

-A technologie 0.12 μm on remarque que la valeur de la fréquence est augmentée et la forme de la courbe presque linéaire sur les 4 figures Fig IV.13.a, Fig IV.13.b, Fig IV.13.c, Fig IV.13.d.

-A technologie 1.2 μm on remarque que la valeur de la fréquence est augmentée et les courbes gardent la forme linéaire Fig IV.14.a, Fig IV.14.b, Fig IV.14.c.

- A technologie 0.18 μm on remarque que la valeur de la fréquence est augmentée et la forme est linéaire et le même résultat pas grand changement à les 4 figures Fig IV.15.a, Fig IV.15.b, Fig IV.15.c.

- A technologie 45 nm on remarque que la valeur de la fréquence est augmentée plus grand et la forme est changée et le résultat est le même à les 4 figures Fig IV.16.a, Fig IV.16.b, Fig IV.16.c.

- A technologie 90 nm On remarque que les valeurs de la fréquence sont espacées et la forme des 3 courbes est linéaire Fig IV.17.a, Fig IV.17.b, Fig IV.17.c.

-Pour la fréquence en termes de technologie nous notons que la fréquence augmente, plus la technologie est grande et de voir la plus grande valeur à la plus petite valeur lorsque la fréquence de la technologie est le résultat est dans la figure IV.18.

-Et pour Puissance en termes de technologie nous notons que la Puissance déminer, plus la technologie et de voir la plus grande valeur à la plus grand valeur lorsque la Puissance de la technologie est le résultat est dans la figure IV.24.

IV-7. Conclusion

Dans ce chapitre, nous avons fait une étude sur les oscillateurs en générale, puis on a consacré notre travail spécialement sur les oscillateurs numériques à base d inverseur .La conception de ce dernier a été réalisé par le simulateur Microwind , la simulation s'est faite avec l'utilisation du niveau 1 (Level1) du modèle de Microwind vus sa simplicité, des commentaires sur les résultats obtenus sont mentionne.

,

Conclusion générale

Après notre présentation dans cette note, nous avons essayé d'atteindre l'objectif de ce travail avec la conception et la mise en œuvre de la simulation, d'un circuit numériques (résonateur) avec le logiciel de simulation Microwind en technologie CMOS.

Les oscillateurs en anneau de ce type de structure est basé sur N cellules (des inverseurs principalement) connectées en anneau. La période des oscillations est égale à $T_{osc} = 2.N. \tau$ où N est le nombre d'étages dans l'anneau et τ est le délai de la cellule dans notre cas $n=2$. Il existe principalement deux structures d'oscillateurs en anneau. La première consiste à cascader les inverseurs CMOS, dans ce cas, le nombre d'étages N doit être impair. et la deuxième structure dite différentielle basée également sur le principe de mise en cascade de N cellules (N pair ou impair ici) de retard avec une inversion dans la boucle.

La conception d'un circuit CMOS consiste à placer, sur un substrat plan de silicium faiblement dopé, des transistors nMOS et pMOS interconnectés par des fils métalliques. Les transistors MOS peuvent être utilisés pour réaliser des fonctions analogiques ou numériques selon qu'ils fonctionnent en mode linéaire ou saturé. Toutefois, ces deux modes de fonctionnement ne modifient pas le principe des procédés de fabrication. Les transistors et les liaisons métalliques sont fabriqués dans les salles blanches par couches successives grâce à des méthodes de photolithographie. Le nombre de couches superposées augmente avec l'amélioration des techniques de gravure.

La durée de fabrication et les rendements dépendent de la complexité de la technologie : il faut plusieurs semaines pour produire un circuit intégré, chaque étape prenant plusieurs heures. Afin d'obtenir le plus grand débit de production possible (nombre de circuits sortant de la chaîne par unité de temps), deux techniques sont mises en œuvre. La première consiste à réaliser un grand nombre de fois le même circuit sur une galette de silicium. La seconde est de profiter du fait que la fabrication d'un circuit est une séquence de quelques dizaines d'opérations (ou étapes) indépendantes : la chaîne de fabrication est organisée comme une chaîne de montage de voitures, c'est-à-dire qu'à tout instant elle contient un circuit en cours de fabrication à chaque étape. Ainsi, le débit de la ligne dépend de la durée de l'opération la plus longue et non du nombre d'opérations. En bout de ligne de production, un test de fabrication permet d'éliminer les circuits défectueux. Les autres sont à nouveau triés en fonction de leur

Conclusion générale

vitesse de fonctionnement (mesurée en nombre d'instructions exécutées par seconde), des différences subtiles de dopage pouvant aller jusqu'à doubler la vitesse du circuit. Le rapport entre le nombre de circuits fonctionnels et le nombre de circuit.

Les résultats de cette consultation ont montré que le fonctionnement du résonateur à base d'inverseur dépend fortement sur la technologie employé. Nous notons que la fréquence augmente, plus la technologie et de voir la plus grande valeur à la plus petite valeur lorsque la fréquence de la technologie est le résultat est dans la chapitre IV. Et pour Puissance en termes de technologie nous notons que la Puissance déminer, plus la technologie et de voir la plus grande valeur à la plus grand valeur lorsque la Puissance de la technologie est le résultat est dans la chapitre IV.

Les effets de parasite (cross talk) ont été négligés dans cette étude qui nous permettrons de le proposer dans une future étude.

Dédicace

Je dédie ce travail

À mon père

Et à ma mère

Qui m'ont aidé à atteindre ce niveau

À mes frères et ma sœur

Et tous les parents

À tous les amis et collègues

*Et à tous ceux qui m'ont aidé de quelque façon de faire
ce travail*

Mohamed

Introduction générale

Le domaine de la micro-électronique a connu un développement technologique sans pareil ces dernières années. Ainsi sont aujourd'hui intégrés sur une seule puce des systèmes électroniques réalisés auparavant sous forme de cartes. Cette tendance à l'intégration et à la miniaturisation des circuits est portée par le développement "explosif" des applications multimédia, de télécommunications et automobiles. De tels systèmes comportent un nombre toujours croissant de modules pouvant appartenir à des domaines différents: des fonctions numériques, prédominantes, qui sont fondées sur des microprocesseurs ou micro-contrôleurs, des mémoires et des blocs DSP de traitement de signal ("Digital Signal Processing"), mais aussi des fonctions analogiques d'amplification et de filtrage qui se trouvent en particulier dans les circuits de conversion analogique/numérique (CAN) en entrée, et numérique/analogique (CNA) en sortie.

Durant ces dernières années, beaucoup d'efforts ont été consacrés à la réduction de la tension d'alimentation et à la réduction de la consommation des systèmes CMOS mixtes analogiques/numériques. Cela est dû principalement à la croissance de l'utilisation des systèmes portables alimentés par des batteries, mais provient aussi de la réduction de la taille des circuits intégrés. Les conséquences de ces réductions sont différentes selon la nature des circuits.

D'un côté, les circuits intégrés numériques à basse tension d'alimentation et à faible consommation, peuvent facilement atteindre des qualités excellentes du point de vue fonctionnement (par exemple une très grande résolution et un bon rapport signal sur bruit [1]). De plus, la taille de la partie numérique est réduite radicalement avec la minimisation des tailles des blocs fonctionnelles.

D'un autre côté, les circuits intégrés analogiques à basse tension d'alimentation et à faible consommation avec de bonnes fonctionnalités sont très difficiles à réaliser. Par exemple, la dynamique de sortie d'un amplificateur opérationnel diminue substantiellement en réduisant la tension d'alimentation. Par ailleurs, les circuits intégrés analogiques ne peuvent pas être conçus en utilisant des tailles minimales des transistors, pour des raisons de gain de l'amplificateur, offset, bruit, etc. La surface de la partie analogique ne peut donc pas être réduite radicalement avec la minimisation des tailles des fonctions à réaliser.

Introduction générale

Bien que plusieurs parties analogiques puissent être remplacées par des parties numériques, la nécessité des circuits analogiques reste assez importante. Le monde réel étant analogique, il y aura en effet toujours besoin de convertisseurs pour convertir les données numériques des dispositifs électroniques en signal analogique (ex: signal audio) perceptible par l'homme. D'autre part, les circuits intégrés analogiques peuvent réaliser des fonctions à haute fréquence (Radio Fréquence) contrairement aux circuits numériques. Les senseurs, les transmetteurs, les récepteurs sont ainsi souvent des composants analogiques. Par conséquent, les circuits analogiques qui ne peuvent pas être remplacés par des circuits numériques, posent un problème majeur pour la conception des systèmes à basse tension d'alimentation et à faible consommation.

Le travail qui fait l'objet de notre mémoire est de faire une conception et une simulation d'un circuit numérique en Technologie CMOS Microwind. Ce travail comportera les chapitres suivants :

Dans premier chapitre nous avons présenté la famille technologique des différents transistors à effet de champ JFET, MOSFET, MESFET. Après avoir rappelé l'historique des transistors les plus utilisés actuellement, nous présentons leurs descriptions physiques et le principe de fonctionnement. Ensuite les contraintes et domaines d'utilisation de chacun d'eux sont établis.

Dans le deuxième chapitre, nous avons étudié la technologie CMOS et la base de cette technologie et les règles de conception de mise en page et les étapes de fabrication d'un transistor mos et les problèmes de cette technologie.

Dans Le troisième chapitre nous avons présenté et discuter le programme de simulation Microwind, comme la conception des circuits sur à l'aide de ce logiciel et les règles de conception appliquent à ce programme.

Dans le dernier chapitre nous avons fait la conception et la simulation d un circuit numérique résonateur sous Microwind , les résultats, remarque et commentaire sont décrits dans des figures et des tableaux pour mieux montrer l'impacte des paramètres sur le fonctionnement de circuit .

Liste des abréviations

VLSI	Very Large-Scale Integration
ZCE	Zone charge d'espace
CMOS	complémentaire métal oxyde semi-conducteur
EBL	Electron beam lithography
LOCOS	LOcal Oxidation Of Silicon
LDD	Light Doped Drain
CVD	chemical vapor deposition
CIF	Caltech Intermediate Form
RDC	Design Rule Check

Liste des figures

Liste des figures

Figure I-1.La famille des composants à effet de champ.....	5
Figure. I.2.Transistor JFET à canal N et p et symboles des deux types de JFET.....	6
Figure .I.3.Comportement du JFET en fonction de V_D pour $V_G < 0$	7
Figure. I.4.Vue en coupe du MESFET GaAs implanté auto-aligné.	8
Figure. I.5.Vue en coupe et polarisation d'un MESFET.	9
Figure. I.6.Principe d'un MOSFET à canal N : les zones hachurées sont de type N.....	11
Figure. I.7.Pincement du canal en fonction de V_d	11
Figure. I.8.Structure du MOS à appauvrissement canal N.....	12
Figure. I.9.Structure du MOS à enrichissement canal N S	12
Figure. I.10.Canal N le courant entre la source et le drain est un courant d'électrons.....	12
Figure .I.11.Canal P le courant entre la source et le drain est un courant de trous.....	13
Figure .I.12.Canal N le courant entre la source et le drain est un courant d'électrons.....	14
Figure .I.13.Canal P le courant entre la source et le drain est un courant de trous.....	14
Figure. II.1.Procédé de Czochralski pour la fabrication de lingots de silicium.	17
Figure. II.2.Un transistor NMOS montrant la croissance de l'oxyde de champ au-dessous de la surface de silicium.	18
Figure. II.3.Simplifié étapes impliquées dans la structuration de SiO_2 : (a) silicium nu, (b) Plaquette avec SiO_2 et de résister, (c) résister à exposer à la lumière UV, (d) final SiO_2 gravé.....	20
Figure. II.4.Étapes de fabrication d'un transistor à grille de silicium NMOS.	22
Figure. II.5. II.5 Un transistor MOS ou appareil de terrain parasite.	23
Figure. II.6.Procédé CMOS et dessin de disposition conventions.	23

Liste des figures

Figure. II.7.Un procédé typique puits n CMOS.	25
Figure. II.8.Coupe transversale d'un inverseur CMOS dans un processus de puits n.	26
Figure. II.9.Contacts de substrat et ainsi dans un processus n-bien.	27
Figure. II.10. Structure d'un inverseur.....	28
Figure. II.11.Flux de processus de SOI.	29
Figure. II.12.Classification des procédés de gravure.....	30
Figure. II.13.Section de métal de processus de niveau de remorquage.	31
Figure. II.14.Métal au niveau de remorquage via / géométries de contact.	32
Figure. II.15.Interconnexion de métal réfractaire.	33
Figure. II.16.Interconnexion locale telle qu'elle est utilisée dans une cellule de mémoire vive.....	34
Figure. II.17.Condensateur de poly silicium.	35
Figure. II.18.Condensateurs de mémoire dynamique, IEEE 1988, IEEE1991.....	35
Figure. II.19.Technologie EEPROM.	36
Figure. II.20.CMOS n puits règles de conception.	39
Figure. II.20.CMOS n puits règles de conception continué.....	40
Figure. II.21.Effet de prolongement de grille insuffisante et l'extension de drain à la source.....	42
Figure. II.22.Structure d'un contact Substrat fusionnée ou butée.	43
Figure. II.23.Anneau de garde.	43
Figure. III.1.La loi de Moore par rapport à Intel complexité du processeur 1970-2010.	46
Figure. III.2.L'échelle de la technologie vers le bas vers les dispositifs à l'échelle nanométrique.....	47
Figure. III.3.Technologie rampe tous les deux ans.	48

Liste des figures

Figure. III.4.L'architecture de Microwind et Dsch.	49
Figure. III.5.Microwind editor window.	50
Figure. III.6.La barre d'outils de Microwind.	51
Figure. III.7.le menu flottant de Microwind.	54
Figure. IV.1.Modélisation d'un oscillateur bouclé.	58
Figure. IV.2.La boucle fermée d'un oscillateur.	58
Figure. IV.3.La boucle ouverte d'un oscillateur.	59
Figure. IV.4.Structure de l'oscillateur en anneau..	61
Figure. IV.5.Structure de l'oscillateur en anneau différentiel.....	61
Figure. IV.6.Exemple d'utilisation d'oscillateur.	62
Figure. IV.7.Schéma symbolique de Résonateur à 3 inverseurs.....	63
Figure. IV.8.Schéma électrique de Résonateur à 3 inverseurs par Dsch.....	63
Figure. IV.9.Schéma masque (layout) de Résonateur à 3 inverseurs par Microwind.....	64
Figure. IV.10.Schéma résonateur à 3 inverseurs par Microwind 3D.....	64
Figure. IV.11.La variation de fréquence en termes de rapport w/l avec W fixe et L varia (a) $W=1.2 \mu\text{m}$, (b) $W=1.8 \mu\text{m}$, (c) $W=2.4 \mu\text{m}$, (d) $W=3\mu\text{m}$ a technologie $0.6 \mu\text{m}$	66
Figure. IV.12.La variation de fréquence en termes de rapport w/l avec W fixe et L varia (a) $W=1.6 \mu\text{m}$, (b) $W=2.4 \mu\text{m}$, (c) $W=3.2 \mu\text{m}$, (d) $W=4\mu\text{m}$ a technologie $0.8\mu\text{m}$	68
Figure. IV.13.La variation de fréquence en termes de rapport w/l avec W fixe et L varia (a) $W=0.24 \mu\text{m}$, (b) $W=0.36 \mu\text{m}$, (c) $W=0.48 \mu\text{m}$, (d) $W=0.60 \mu\text{m}$ a technologie $0.12\mu\text{m}$	70
Figure. IV.14.La variation de fréquence en termes de rapport w/l avec W fixe et L varia (a) $W=2.4 \mu\text{m}$, (b) $W=3.6 \mu\text{m}$, (c) $W=4.8 \mu\text{m}$ a technologie $1.2\mu\text{m}$	72
Figure. IV.15.La variation de fréquence en termes de rapport w/l avec W fixe et L varia (a) $W=0.4 \mu\text{m}$, (b) $W=0.6 \mu\text{m}$, (c) $W=0.8 \mu\text{m}$ a technologie $0.18\mu\text{m}$	74

Liste des figures

Figure. IV.16.La variation de fréquence en termes de rapport w/l avec W fixe et L varia (a) $W=0.1 \mu\text{m}$, (b) $W=0.15 \mu\text{m}$, (c) $W=0.25 \mu\text{m}$ a technologie 45nm.....	76
Figure. IV.17.La variation de fréquence en termes de rapport w/l avec W fixe et L varie (a) $W=0.2 \mu\text{m}$, (b) $W=0.3 \mu\text{m}$, (c) $W=0.5 \mu\text{m}$ a technologie 90nm.....	78
Figure. IV.18.La déférence de fréquence a chaque technologie.....	80
Figure. IV.19.signal de sortie de résonateur à technologie 1.2 μm	80
Figure. IV.20. signal de sortie de résonateur à technologie 0.6 μm	81
Figure. IV.21. signal de sortie de résonateur à technologie 0.18 μm	81
Figure. IV.22. signal de sortie de résonateur à technologie 90 nm.....	82
Figure. IV.23. signal de sortie de résonateur à technologie 32 nm.....	82
Figure. IV.24.La déférence de puissance a chaque technologie.	83

Liste des Tableaux

Liste des Tableaux

Tableau. II.1.Représentations de la couche pour le processus CMOS n ainsi.....	37
Tableau. II.2.Règles de mise en page CMOS.	38
Tableau. II.2.Règles de mise en page CMOS continué.....	39
Tableau. II.3.Dimensions de processus CMOS submicroniques.	41
Tableau. II.4.MOSIS évolutives couche missions CMOS de règles de conception.	44
Tableau. IV.1. La fréquence de résonateur en facteur de la variable de rapport W/L (a)W=1.2 μm , (b) W=1.8 μm , (c)W=2.4 μm , (d) W=3 μm a technologie0.6 μm	65
Tableau. IV.2. La fréquence de résonateur en facteur de la variable de rapport W/L (a)W=1.6 μm , (b) W=2.4 μm , (c)W=3.2 μm , (d) W=4 μm a technologie0.8 μm	67
Tableau. IV.3. La fréquence de résonateur en facteur de la variable de rapport W/L (a)W=0.24 μm , (b) W=0.36 μm , (c)W=0.48 μm , (d) W=0.60 μm a technologie0.12 μm	69
Tableau. IV.4. La fréquence de résonateur en facteur de la variable de rapport W/L (a)W=2.4 μm , (b) W=3.6 μm , (c)W=4.8 μm a technologie1.2 μm	71
Tableau. IV.5. La fréquence de résonateur en facteur de la variable de rapport W/L (a)W=0.4 μm , (b) W=0.6 μm , (c)W=0.8 μm a technologie0.18 μm	73
Tableau. IV.6. La fréquence de résonateur en facteur de la variable de rapport W/L (a)W=0.1 μm , (b) W=0.15 μm , (c)W=0.25 μm a technologie 45nm.....	75
Tableau. IV.7. La fréquence de résonateur en facteur de la variable de rapport W/L (a)W=0.2 μm , (b) W=0.3 μm , (c)W=0.5 μm a technologie 90nm.	77
Tableau. IV.8.Fréquence en termes de technologie.	79
Tableau. IV.9.Puissance en termes de technologie.	83

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne Démocratique et Populaire
وزارة التعليم العالي و البحث العلمي
Ministère de l'enseignement Supérieur et de la Recherche scientifique



Université Mohamed Khider Biskra
Faculté des Sciences et de la Technologie
Département de Génie Electrique
Filière : Electronique

Option : Microélectronique et Hyperfréquence

Réf:.....

**Mémoire de Fin d'Etudes
En vue de l'obtention du diplôme:**

MASTER

Thème

**Conception et simulation d'un résonateur
en Technologie CMOS avec Micro Wind**

Présenté par :
KAHLOUL Mohamed
Soutenu le : 04 Juin 2014

Devant le jury composé de :

Mr HEMAIZIA Zahra

M.C.A

Président

Mr MEGHERBI Mohamed Larbi

M. A.A

Encadreur

Mr BELGACEM Hocine

M.C.B

Examineur

Année universitaire: 2013 / 2014

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne Démocratique et Populaire
وزارة التعليم العالي و البحث العلمي
Ministère de l'enseignement Supérieur et de la recherche scientifique



Université Mohamed Khider Biskra
Faculté des Sciences et de la Technologie
Département de Génie Electrique
Filière : Electronique

Option : Microélectronique et Hyperfréquence

**Mémoire de Fin d'Etudes
En vue de l'obtention du diplôme:**

MASTER

Thème

**Conception et simulation d'un résonateur
en Technologie CMOS avec Micro Wind**

Présenté par :

KAHLOUL Mohamed

Avis favorable de l'encadreur :

MEGHERBI Mohamed Larbi

Avis favorable du Président du Jury

HEMAIZIA Zahra

Cachet et signature



Université Mohamed Khider Biskra
Faculté des Sciences et de la Technologie
Département de Génie Electrique
Filière : Electronique
Option : Microélectronique et Hyperfréquence

Thème :

Conception et simulation d'un résonateur en Technologie CMOS avec Micro Wind

Proposé par : MEGHERBI Mohamed Larbi

Dirigé par : MEGHERBI Mohamed Larbi

Résumé :

La croissance extraordinaire rencontrée par l'industrie des composantes et les périphériques dépend des circuits intégrés tels que les transistors à effet de champ et transistor à grille isolée (MOSFET).

Dans ce cadre, nous avons fourni la technologie CMOS, en expliquant la base de la technologie CMOS, le processus d'amélioration, étapes de fabrication de transistor nMOS, règles de conception, de la planification et des problèmes de cette technologie.

Après cela, nous avons présenté un programme de simulation Microwind en traitant tout les détails. En fin de compte, nous avons conçu un circuit résonateur et nous avons fait la simulation par ce programme. Les résultats ainsi obtenus en termes de fréquence en changeant la technologie et les dimensions des transistors et les résultats étaient satisfaisantes.

Mots-clés: transistors à effet de champ à grille isolée (MOSFET), technologie CMOS, Microwind, Simulation, circuit résonateur.

Remerciements

Je tiens à remercier : Notre Dieu le tout puissant.

Mes remerciements les plus sincères vont à :

- *Mr.MEGHERBI Mohamed Larbi, mon encadreur, pour ses conseils, sa disponibilité et son soutien qui furent précieux. Son encouragement m'a permis de réaliser ce travail dans les meilleures conditions,*
- *Les membres du jury d'avoir accepté d'évaluer ce travail,*

Mes remerciements s'adressent aussi à mes enseignants du Département de Génie électrique.

Bien entendu, je tiens à être reconnaissant à mes parents, pour leurs sacrifices et leur patience tout au long de mes études.

Je remercie également tous mes collègues aussi au Département de génie électrique spécialité microélectronique et hyperfréquence surtout Amine, Oumayma, Kamel, Med Elhafid, Foad et Adel.

Résumé :

La croissance extraordinaire rencontrée par l'industrie des composants et les périphériques dépend des circuits intégrés tels que les transistors à effet de champ et transistor à grille isolée (MOSFET).

Dans ce cadre, nous avons fourni la technologie CMOS, en expliquant la base de la technologie CMOS, le processus d'amélioration, étapes de fabrication de transistor nMOS, règles de conception, de la planification et des problèmes de cette technologie.

Après cela, nous avons présenté un programme de simulation Microwind en traitant tout les détails. En fin de compte, nous avons conçu un circuit résonateur et nous avons fait la simulation par ce programme. Les résultats ainsi obtenus en termes de fréquence en changeant la technologie et les dimensions des transistors et les résultats étaient satisfaisantes.

Mots-clés: transistors à effet de champ à grille isolée (MOSFET), technologie CMOS, Microwind, Simulation, circuit résonateur.

ملخص :

يعتمد النمو الهائل الذي تعيشه صناعة المكونات والأجهزة على الدوائر المتكاملة مثل الترانزستورات تأثير الحقل و الترانزستور معزولة البوابة (MOSFET) .

في هذا السياق، قدمنا التكنولوجيا CMOS، موضحين أساس تكنولوجيا CMOS، تحسين العملية، خطوات تصنيع الترانزستور NMOS، قواعد التصميم والتخطيط ومشاكل هذه التكنولوجيا.

بعد ذلك قمنا بعرض برنامج محاكاة Microwind، علاج كل التفاصيل، في النهاية قمنا بتصميم دائرة مرنان وقمنا بالمحاكاة بواسطة البرنامج. كانت النتائج التي تم الحصول عليها من حيث التردد عن طريق تغيير التكنولوجيا وأبعاد الترانزستورات نتائج مرضية.

الكلمات المفتاحية: الترانزستور تأثير الحقل معزولة البوابة (MOSFET)، تكنولوجيا CMOS، Microwind، المحاكاة، دائرة المرنان.

SOMMAIRE

SOMMAIRE

Dédicace	
Remerciements	
Résumé.....	I
Sommaire.....	II
Liste des Tableaux.....	V
Liste des Figures.....	VI
Introduction générale.....	1

Chapitre I : Les transistors à effet de champ

I-1. Introduction.....	3
I-2. Historique des transistors à effet de champ.....	3
I-2-1. Historique de JFET.....	3
I-2-2. Historique de MESFET.....	3
I-2-3. Historique de MOSFET.....	4
I-3. Les transistors à effet de champ.....	4
I-3-1. Généralités.....	4
I-3-2. Le transistor à effet de champ à jonction (JFET)	6
I-3-2-1. Description.....	6
I-3-2-2. Principe de fonctionnement du JFET.....	6
I-3-2-3. Contraintes et domaines d'utilisation.....	7
I-3-3. Transistor à effet de champ a contact SCHOTTKY (MESFET)	8
I-3-3-1. Description.....	8
I-3-3-2. Principe de fonctionnement.....	8
I-3-3-3. Contraintes et domaines d'utilisation.....	9
I-3-4. Transistor à effet de champ a grille isolée (MOSFET)	10
I-3-4-1. Description.....	10
I-3-4-2. Principe de fonctionnement du MOSFET et Les deux types fondamentaux	10
I-3-4-3. Contraintes et domaines d'utilisation.....	15
I-4. Conclusion.....	15

Chapitre II: Technologie CMOS

II-1. Introduction.....	16
II-2. Technologie CMOS	16

SOMMAIRE

II-2-1. Technologie de semi-conducteur silicium.....	16
II-2-1-1. Traitement wafer.....	17
II-2-1-2. Oxydation.....	17
II-2-1-3. Épitaxie, dépôt, implantation ionique, et Diffusion.....	18
II-2-1-4. Processus silicium porte.....	21
II-3. Technologie CMOS de base.....	23
II-3-1. A Basic n-well CMOS Process	24
II-3-2. The P-well Process	27
II-3-3. Twin-Tub Processes.....	27
II-3-4. Silicium On Isolant (SOI)	28
II-4. Amélioration des processus CMOS.....	30
II-4-1. Interconnexion.....	31
II-4-1-1. Interconnexion métallique.....	31
II-4-1-2. Poly silicium / réfractaire interconnexion métallique.....	32
II-4-1-3. Local InterConnect.....	33
II-4-2. Circuit éléments	34
II-4-2-1. Résistances.....	34
II-4-2-2. Condensateurs.....	34
II-4-2-3. ROM électrique Modifiable.....	36
II-5. Règles de conception de mise en page.....	36
II-5-1. Représentations de la couche	37
II-5-2. Règles CMOS puits N.....	38
II-5-3. Design règle Document d'information.....	41
II-5-4. Missions de la couche.....	44
II-6. Problèmes liés à la technologie CAD.....	45
II-7. Conclusion.....	45

Chapitre III: Microwind & Dsch

III-1. Introduction.....	46
III-2. Technologie échelle vers le bas.....	46
III-2-1. La loi de Moore.....	46
III-2-2. Avantages d'échelle.....	47
III-2-3. Croissance de la marche.....	47
III-3. Microwind et Dsch.....	48

SOMMAIRE

III-3-1. À propos de Microwind.....	48
III-3-2. À propos de Dsch.....	48
III-3-3. Installation.....	49
III-3-4. Les parties de Microwind.....	50
III-3-4-1. La barre d'outils.....	50
III-3-4-2. Le menu flottant.....	54
III-4. Conclusion.....	56

Chapitre IV: Résultats de simulation et interprétations

IV-1. Introduction.....	57
IV-2. Généralités sur les oscillateurs.....	57
IV-3. Modélisation des oscillateurs.....	58
IV-4 Les types d'oscillateurs.....	60
IV-4-1. Les oscillateurs à portes	60
IV-4-1-1. Les oscillateurs en anneau	60
IV-5. Domaines d'application.....	62
IV-6. Résultats et discussions.....	63
IV-6-1. Circuit.....	63
IV-6-2. Simulation.....	65
IV-6-3. Signaux des sorties	80
IV-6-4. Les résultats et interprétation	84
IV-7. Conclusion.....	85
Conclusion générale	86
Bibliographie	
Liste des abréviations	